

ПЕРСПЕКТИВЫ РАЗВИТИЯ В РОССИИ ГЛУБОКО СУБВОЛЬТОВОЙ НАНОЭЛЕКТРОНИКИ И СВЯЗАННЫХ С НЕЙ ТЕХНОЛОГИЙ (с.1-16)

Деспотули А.Л., Андреева А.В.

Институт проблем технологии микроэлектроники и особочистых материалов РАН, г.Черноголовка, Россия

Аннотация. Рассмотрены тенденции развития нанoeлектроники в долговременной перспективе. Сделан вывод, что в период после 2015 г. получит применение «глубоко субвольтовая нанoeлектроника» (*deep-sub-voltage nanoelectronics*, ГСН) – интегральные схемы (ИС) с плотностью компонентов $\sim 10^{11}$ - 10^{12} см⁻², функционирующие вблизи теоретического предела расхода энергии на обработку 1 бит. Опережающее развитие ГСН в России - перспективная национальная задача, ее решение необходимо для успешного участия страны в глобальной технологической гонке. Рассмотрена проблема высокоемких конденсаторов микронных размеров для ГСН и связанных с ГСН научно-технических направлений. Показано, что приложения, использующие автономные нано- и микросистемы, нуждаются в накопителях с плотностью емкости $\delta_c > 50$ мкФ/см², которую не могут обеспечить конденсаторы традиционных конструкций. Представлены теоретические оценки и экспериментальные данные по инновационным импульсным суперконденсаторам микронных размеров на основе передовых суперионных проводников (наноионные суперконденсаторы) с $\delta_c \approx 100$ мкФ/см². Показано, что если в ГСН не будет решена проблема теплового перегрева ИС с плотностью компонентов $\sim 10^{12}$ см⁻², то нижний предел времен перезарядки наноионных суперконденсаторов (верхний предел допустимых времен процессов диэлектрической релаксации) будет $\sim 10^{-7}$ с. Дана оценка валовой стоимости потенциального мирового рынка высокоемких субвольтовых накопителей.

AN OVERVIEW ON FUTURE DEEP-SUB-VOLTAGE NANO-ELECTRONICS, RELATED TECHNOLOGIES AND DEPENDENT HIGH-TECH DIRECTIONS (p.17-31)

A.L.Despotuli, A.V.Andreeva

*Institute of Microelectronics Technology and High-Purity Materials, Russian Academy of Sciences,
Chernogolovka, Moscow Region 142432, Russia. despot@ipmt-hpm.ac.ru,*

The decrease of energy consumption per 1 bit processing (ε) and power supply voltage (V_{dd}) of integrated circuits (ICs) are long term tendencies in micro- and nanoelectronics. In this framework, deep-sub-voltage nanoelectronics (DSVN), i.e. ICs of $\sim 10^{11}$ - 10^{12} cm⁻² component densities operating near the theoretical limit of ε , is sure to find application in the next 10 years. In nanoelectronics, the demand on high-capacity capacitors of micron sizes sharply increases with a decrease of technological norms, ε and V_{dd} . Creation of high-capacity capacitors of micron size to meet the challenge of DSVN and related technologies is considered. The necessity of developing all-solid state impulse micron-sized supercapacitors on the basis of advanced superionic conductors (nanoionic supercapacitors) is discussed. Theoretical estimates and experimental data on prototype nanoionic supercapacitors with capacity density $\delta_c \approx 100$ μ F/cm² are presented. Future perspectives of nanoionic devices are briefly discussed.

Keywords: deep-sub-voltage nanoelectronics, supercapacitors, nanoionics

1. Стратегическое значение интегральной электроники

Микро(нано)электроника, являясь фактором «системно-ресурсной геополитики» [1], поддерживается во многих странах. Например, американская Nanoelectronics Research Initiative (NRI), выполняемая в рамках национальной нано-технологической инициативы (NNI), направлена на поиск следующего поколения носителей информации, способов ее обработки и передачи. Программа NRI преследует геостратегическую цель: «...country which finds the next logic switch first will undoubtedly lead the Nanoelectronics era, the same way the U.S. has led the Microelectronics era for the past half century» [2]. Оценка результата участия страны в научно-технологической гонке может быть сделана по (1) [3]:

$$\text{РЕЗУЛЬТАТ} = \prod_i \phi_i, \quad (1)$$

где множители – «объем финансирования» (ϕ_1), «время участия в гонке» (ϕ_2), «патенты и лицензии» (ϕ_3), «квалификация персонала» (ϕ_4), «мотивация», «численность персонала», «технические средства» и др. За 10 лет активной стадии реализации NNI и других, связанных с ней программ, США израсходовали $\phi_1 \sim 30$ миллиардов долларов (госбюджет, частные инвестиции, программы отдельных штатов). С учетом латентного периода развертывания NNI (программа зарождалась в 1987-1990 гг. [4-8]) у США $\phi_2 \approx 15$ лет. Формула (1) показывает сильное отставание России в нано-технологической гонке (ϕ_1 и $\phi_2 \approx 0$). Аналогичные выводы сделаны в исследовании, выполненном компанией Lux Research по заказу ГК «Роснано» [9].

Геостратегия опирается на вооруженные силы, которые США и НАТО строят в соответствии с «концепцией гарантированного превосходства», базирующегося на использовании передовых технологий («гонку вооружений заменяет гонка технологий» [10]). Геополитика реализуется через деятельность крупнейших электронных корпораций, которые активно сотрудничают в области перспективных разработок и базовых технологий, контролируя информационный и интеллектуальный ресурсы, производство и сбыт стратегически значимой продукции. Пример тесного сотрудничества корпораций - альянс по разработке 32 нм процессора «кремний на изоляторе» (IBM, Toshiba, AMD, Samsung, Infineon, Sony, Freescale, STMicroelectronics и Chartered) и др. Долговременная программа (Focus Center Research Program [11]) поиска прорывных и революционных решений в области CMOS (достижение и преодоление пределов CMOS) объединяет электронную индустрию, академическое сообщество и министерство обороны США. Образованные корпорациями прогностические структуры - International Technology Roadmap for Semiconductors (ITRS) [12] координируют в глобальном масштабе темпы развития интегральных технологий

Федеральная целевая программа «Развитие электронной компонентной базы и радиоэлектроники» (Постановление Правительства РФ № 809 от 26.11.2007) должна обеспечить переход российских предприятий на 90 нм и 45 нм технологии в 2011 и 2015 годы. Согласно «Стратегии развития электронной промышленности России на период до 2025 года», главная решаемая системная социально-экономическая проблема – «увеличение объемов продаж отечественной электронной компонентной базы, преодоление уровня технологического отставания, повышение конкурентоспособности продукции на рынках». В «стратегии» и «программе» отсутствуют задачи «догнать и перегнать», речь идет лишь о «ликвидации критического научно-технического отставания России», которое «не позволяет обеспечить конкурентоспособность всей промышленности страны в целом, и становится одним из критических факторов, влияющих на обеспечение обороноспособности и безопасности государства».

В условиях глобальной нано-технологической гонки и при отсутствии у российской электроники масштабных целей, отставание от мирового уровня будет нарастать: лидеры полупроводниковой индустрии уже сегодня имеют опытные образцы процессоров и интегральных схем (ИС) с технологическими нормами 32 нм и 22 нм. Утверждение аналитиков [13], что у отечественной наноэлектроники нет «великой цели», отождествление с этой целью «реальных потребностей экономики и ВПК», означает отказ от влияния на мировые процессы развития электроники, что противоречит международному статусу России. Развитая научно-техническая сфера – неотъемлемый атрибут суверенного государства. Для России производство передовой интегральной электроники стратегически важно, поэтому обоснование необходимости наличия такого сектора в стране должно учитывать не только «реальные потребности экономики и ВПК», но и реалии «системно-ресурсной геополитики», которые можно свести к лозунгу «догнать и перегнать». В наноэлектронике смена поколений технологий происходит каждые 3-4 года, поэтому особую ценность имеют не знания, вложенные в уже функционирующие кремниевые фабрики, а интеллектуальный капитал,

который позволит в будущем создавать инновационную продукцию. Правильный выбор перспективных направлений развития нанoeлектроники и приоритетных задач обеспечивает высокие результаты в технологической гонке за счет превосходства по факторам ϕ_2 , ϕ_3 и ϕ_4 в (1).

В нанoeлектронике по мере уменьшения размеров элементов интегральных схем (ИС) становятся все более актуальными поиски альтернатив традиционным приборам – полупроводниковым полевым транзисторам и высокочастотным пленочным конденсаторам, предельные характеристики которых ограничены туннельным эффектом. В работе выполнен анализ тенденций развития нанoeлектроники с горизонтом прогноза далее 2015 года и на этой основе определена перспективная национальная задача – опережающее развитие в стране глубоко субвольтовой нанoeлектроники (ГСН) [3] – интегральных схем (ИС) с плотностью компонентов $\sim 10^{11}$ - 10^{12} см⁻², функционирующих вблизи теоретического предела расхода энергии на обработку 1 бит. Сформулирована проблема высокочастотных конденсаторов микронных размеров для ГСН и связанных с ГСН научно-технических направлений. Показано, что наноионные приборы (приборы с быстрым ионным транспортом на нано-масштабе) – суперконденсаторы и переключатели могут найти применение в ГСН.

2. Глубоко субвольтовая нанoeлектроника (ГСН)

Полевой нанотранзистор является ключевым прибором цифровой электроники. Выполнение операций бинарной логики и обращение к ячейкам памяти осуществляются путем контролируемого изменения высоты потенциального барьера на затворе транзисторов, при этом носители информации (электроны или дырки) переходят из одного физически различного состояния в другое, условно, $1 \rightarrow 0$. Квантовые явления не влияют непосредственно на работу современных транзисторов, плотность которых на ИС приближается к 10^{10} см⁻². При плотности компонентов $\sim 10^{12}$ см⁻² (ИС с размерами элементов ~ 1 нм) возникает квантовый туннельный эффект с неконтролируемым подбарьерным переходом частицы $1 \rightarrow 0$ с вероятностью быстро возрастающей при уменьшении ширины барьера и массы частицы. Поэтому для ИС с размерами элементов ~ 1 нм необходимы материалы, в которых эффективная масса m^* носителей информации будет значительно больше, чем у электронов (m_e). Например, $m^* \sim 13 m_e$ при размерах переключателя $L = 1$ нм, $m^* \sim 53 m_e$ при $L = 0,5$ нм и $m^* \sim 336 m_e$ при $L = 0,2$ нм [14].

Уже в 1965 году проблема высокочастотных конденсаторов названа фундаментальной в микроэлектронике [15]. За прошедшие годы огромные вложения в исследования и разработки не обеспечили требуемые плотности емкости, радиационную и температурную стойкость конденсаторов традиционных конструкций. В современных портативных приборах ультраплотного поверхностного монтажа с дискретными электронными компонентами в корпусе 01005 (400 мкм х 200 мкм х 200 мкм) конденсаторы емкостью $C > 0,01$ мкФ имеют большие габариты. Напряженность электрического поля пробоя F_{max} , диэлектрическая проницаемость k и плотности емкости¹⁾ ρ_C и δ_C в конденсаторах связаны с напряжением электропитания V_{dd} ИС соотношением:

$$V_{dd} \approx F_{max} (k \cdot \epsilon_0 / \rho_C)^{1/2} = F_{max} k \epsilon_0 / \delta_C, \quad (2)$$

где $\epsilon_0 = 8.85 \cdot 10^{-12}$ Ф/м. В микро- и нанoeлектронике действует долгосрочная тенденция понижения V_{dd} , в настоящее время ИС становятся субвольтовыми. На рис.1 показан прогноз ITRS для V_{dd} и длины затвора L_g нанотранзисторов интегральных схем (ИС) массового производства. Энергия конденсатора быстро уменьшается с V_{dd} , но, оказывается, в тонкопленочных конденсаторах традиционных конструкций компенсировать это падение увеличением ρ_C и δ_C невозможно, так как в субвольтовой области эти величины ограничены экспоненциально возрастающим туннельным током утечки через слой диэлектрика толщиной менее $d = V_{dd}/F_{max} \approx 1$ -1,5 нм.

¹⁾ Объемные и поверхностные плотности емкости даются символами ρ и δ , соответственно.

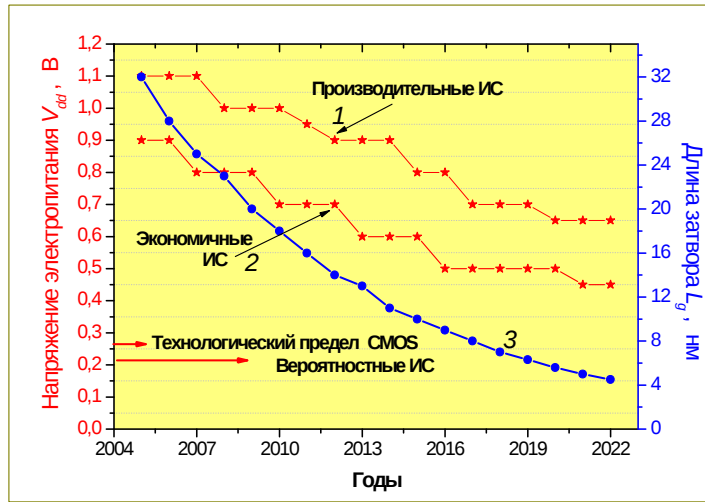


Рис. 1. Прогноз изменения напряжения электропитания V_{dd} и длины затвора CMOS-транзисторов ИС массового производства (по данным ITRS-2006, ITRS-2007 [12]): 1 -высокопроизводительный режим работы ИС; 2 - экономичный режим работы ИС; 3 -длина затвора нанотранзисторов L_g .

Массовый выпуск ИС с $V_{dd}=0,5$ В планируется на 2016 год [12] (рис.1), но производство заказных ИС с $V_{dd} < 0,5$ В начнется раньше. Многим научно-техническим направлениям требуются ИС, которые должны отвечать иным, чем процессоры общего назначения, требования по производительности, расходу энергии ϵ на обработку 1 бит и вероятности сбоя f_{err} . Беспроводные сети сенсоров, автономные объекты нано- и микросистемной техники (НМСТ) типа «умная пыль» (объем ~ 1 мм³), объекты НМСТ следующего поколения («nanomorph cell», объем $\sim 10^{-6}$ мм³ [16,17]), микрочипы радиочастотной идентификации (RFID), микросистемы терагерцовой спектроскопии для био-идентификации, военные приложения и др. критичны к величине ϵ . Энергия химического источника в автономном объекте пропорциональна эдс и массе химических реагентов, а рассеяние энергии при переключении транзистора $\sim V_{dd}^2$. Если эдс $=\theta \cdot V_{dd}$ ($\theta > 1$), то общее число переключений будет $\sim \theta/V_{dd}$, что обеспечивает преимущество приборам с предельно малыми V_{dd} .

На рис. 2 представлены значения V_{dd} экспериментальных субвольтовых CMOS (рекордно малое значение $V_{dd} \approx 85$ мВ достигнуто в [18]). Ток I в канале идеальных полевых транзисторов при малых V_{dd} изменяется в 10 раз при изменении напряжения на затворе $V_g = k_B T \ln 10/e$ (300 K) = 60 мВ (sub-threshold operation), поэтому применение таких транзисторов в субвольтовой наноэлектронике ограничивается малостью отношения токов транзистора в открытом и закрытом состояниях I_{on}/I_{off} .

Термин «глубоко субвольтовая наноэлектроника» (deep-sub-voltage nanoelectronics) предложен в [26-28] для обобщения понятия ИС, функционирующих вблизи теоретического предела (фундаментального, технологического, приборного, дизайн методологического, алгоритмического) расхода энергии ϵ на обработку 1 бит. Типичная ИС в ГСН должна иметь плотность компонентов 10^{11} - 10^{12} см⁻² и $V_{dd} \lesssim 0,25$ В. В 2008 году плотность компонентов приблизится к 10^{10} см⁻², а частота переключения нанотранзисторов к 10^{10} Гц. Задачи, решенные на пути к области « 10^{10} - 10^{10} », носили, в основном, технологический характер. Для перехода в область « 10^{12} - 10^{12} » необходимо преодолеть ряд фундаментальных проблем. Первоочередной из них является проблема теплового разогрева ИС [29,30]. Классические ИС рассеивают энергию при выполнении каждой логической операции. Вероятность ошибочного переключения транзистора в детерминированных ИС ничтожно мала, $p_{err} \sim 10^{-25}$. При уменьшении латеральных размеров транзисторов с коэффициентом $s < 1$ рассеиваемая плотность мощности W возрастает [31,32]:

$$W \sim (V_{dd}/s)^2. \quad (3)$$

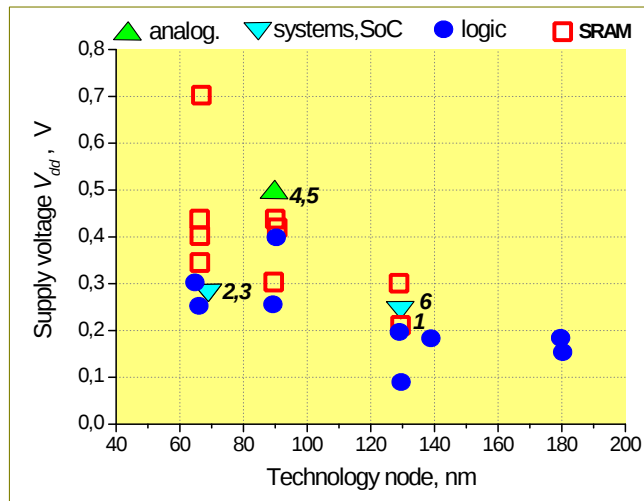


Рис. 2. Напряжение электропитания V_{dd} экспериментальных чипов памяти (SRAM), логики, систем (SoC) и аналоговых приборов. Данные обзора [19] и работ [20] (1), [21] (2), [22] (3), [23] (4), [24] (5), [25] (6).

В современных процессорах $W \approx 100 \text{ Вт/см}^2$ ($V_{dd} \approx 1 \text{ В}$), что близко к предельным значениям для отвода тепла при воздушном охлаждении. Уменьшение размеров нанотранзисторов в условиях перегрева $W = \text{const}$ (100 Вт/см^2) требует понижения V_{dd} . При s -масштабировании условие $W = \text{const}$ ограничивает V_{dd} сверху, а снизу на V_{dd} накладывает ограничение тепловой шум, который, из-за уменьшения в s^2 раз энергии конденсатора на затворе полевых транзисторов, вызывает сбои при малых V_{dd} . У детерминированных ИС области « 10^{10} - 10^{10} » частота шумовых сбоев $f_{\text{err}} \leq 1/\text{год}$, поэтому V_{dd} должно быть не менее 0,3-0,4В [32]. Технологический предел минимального расхода энергии ϵ для CMOS составляет $V_{dd} \leq 0.3 \text{ В}$ [33].

Величина f_{err} в детерминированных ИС становится большой при плотности компонентов 10^{11} - 10^{12} см^{-2} , что обусловлено перегревом, флуктуациями параметров наноприборов и влиянием шума. Создание надежных систем на основе наноприборов, подверженных статистическому поведению, неизбежно ведет к отказу от парадигмы детерминированных ИС. Цифровая электроника может надежно функционировать в условиях сильных помех и при V_{dd} близких к уровню шумовых источников. Вероятностное поведение на уровне приборов может способствовать решению ряда задач [34]. Соответствующие переключатели производят желаемый вывод 0 или 1 с вероятностью $p = 1 - p_{\text{err}} > 1/2$. Фундаментальный предел для ϵ у детерминированных переключателей не может быть меньше $k_B T \ln 2$ на 1 бит, а у идеализированных вероятностных переключателей аналогичная величина имеет порядок $k_B T \ln(2p)$. Аналитическая модель для вероятностного инвертора показывает, что ϵ растет с p (экспоненциально по порядку величины), а при фиксированной p величина ϵ растет квадратично при увеличении шума. Параметр p можно задавать изменением V_{dd} .

Новые вероятностные (probabilistic) архитектуры ИС [34] предложены для условий $p_{\text{err}} \gg 10^{-25}$. Они демонстрируют высокую эффективность при обработке изображений, видео потоков, аудио информации и др. В любом познавательном процессе могут быть выделены логические (детерминированные) и вероятностные суждения. Каноническая архитектура вычислительных систем, ориентированных на осуществление когнитивных функций, также включает два блока - экономичный процессор с детерминированной логикой и сопроцессор, использующий транзисторы с $p_{\text{err}} \gg 10^{-25}$ и специализированные вероятностные алгоритмы [34]. Сравнение эффективности различных архитектур ИС по величине «расход энергии $\times$ время выполнения программы» показывает, что вероятностные 2-х процессорные системы обеспечивают 3-500 кратное преимущество над детерминированными ИС при решении ряда задач (распознавание образов, шифрование и др.). Министерство обороны США занимается проблемой развертывания встраиваемых автономных когнитивных информационных систем, которые на основе вероятностных моделей (Bayesian inference, probabilistic cellular automata, randomized neural networks) будут решать задачи в условиях недостаточности и неточности данных [35]. Вероятностные ИС ГСН (в том числе встраиваемые системы поля боя) окажутся вне конкуренции в условиях жестких ограничений на энергию, время и информацию.

Традиционные архитектуры устойчивых к шуму и отказам ИС базируются на параллелизме работы избыточных электронных компонентов (redundancy) и/или повторном выполнении логических операций. ИС с плотностью транзисторов $\sim 10^{12}$ (50 кратная избыточность компонентов, $p_{\text{err}} = 10^{-4}$) могут работать с надежностью 90% в течение 10 лет [36]. Значение $V_{dd} \approx 0,27$ В обеспечивает $p_{\text{err}} = 10^{-4}$ при $T = 300$ К, как это следует из формулы Больцмана $p_{\text{err}} \approx \exp(-CV_{dd}^2/2 k_B T)$, где емкость на затворе полевого транзистора $C = 10^{-18}$ Ф. Проблема получения надежной информации с помощью вероятностной логики от систем, содержащих ненадежные в работе компоненты, впервые рассмотрена в [37].

В [38] предложен новый подход к проблеме теплового шума, который может переносить информацию и использоваться для создания полностью закрытых от прослушивания проводных информационных каналов и коммуникационных сетей (передатчик модулирует статистические свойства теплового шума, приемник декодирует информацию из шума). В [38] предложен процессор, в котором тепловой шум исполняет роль тактового генератора ($p_{\text{err}} \approx 0,5$, $\epsilon \approx 1,1 k_B T$ / бит). Фундаментальный предел для энергии ϵ у необратимых переключателей составляет $\sim k_B T \ln 2$ /бит [39]. При плотности компонентов 10^{12} см^{-2} и $\epsilon \sim 2 k_B T \ln 2 = 35 \text{ мэВ}$ ($5,6 \cdot 10^{-21}$ Дж) уже на частотах $5 \cdot 10^{10}$ Гц должна рассеиваться мощность $W \sim 250 \text{ Вт/см}^2$, поэтому решение проблемы перегрева ИС необходимо для достижения области « 10^{12} - 10^{12} ».

Квантовые ИС общего назначения уступают по ϵ классическим ИС (сопоставимой производительности) в $\sim 10^2$ раз [40]. Оценки показывают [40], что для построения ИС на основе одноэлектронных транзисторов с малыми ϵ при $T = 300$ К необходимо уменьшить размеры квантовых точек до ≈ 1 нм. В перспективе, могут получить развитие квази-адиабатические ИС [41], у которых большинство логических операций выполняется обратимо, поэтому значения ϵ сколь угодно малы. В некоторых работах [42] будущее квази-адиабатических ИС оценивается пессимистично. На рис. 3 показана долговременная тенденция уменьшения ϵ в электронике.

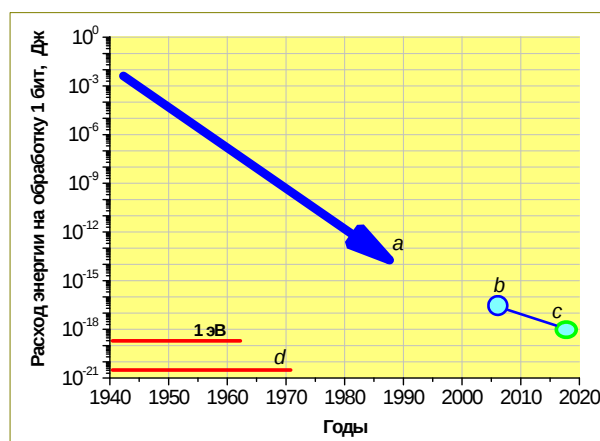


Рис. 3. Тенденция понижения в электронике энергии ϵ , рассеиваемой при обработке 1 бита: а) данные 1988 года [43]; б) данные [38,39]; в) прогноз предела для CMOS [39]; д) фундаментальный предел фон-Неймана-Ландауэра для необратимой логической операции при 300 К ($k_B T \ln 2$).

Иерархия уровней, определяющих пределы расхода энергии ϵ на обработку 1 бита показана на рис.4. Каждый уровень задает пределы ϵ , а переход на уровень вверх многократно увеличивает число возможных технических решений. Для CMOS-технологий предел ϵ достигается при $V_{dd} \geq \beta k_B T/q \approx 0,1$ В (300 К, $\beta = 2-4$) [41]. В ГСН на уровне типов и классов приборов перспективны графеновая наноэлектроника [44-46], логические цепи на основе 1D-нанопроволок [47], транзисторы с каналом толщиной 2 нм и отношением $I_{\text{on}}/I_{\text{off}} \sim 10^{11}$ [48], шаблоны квантовых точек [49], транзисторы на основе межзонных туннельных переходов (low-sub-threshold swing tunnel transistors) с $V_{dd} \approx 0,2$ В [50,51], молекулярные транзисторы с эффектом квантовой интерференции [52], интегрированные эмиттеры и сенсоры терегерцового излучения [53-55], в том числе на основе нанотрубок [56], атомные переключатели с квантованной проводимостью на основе твердотельных ионных проводников [57], мемристоры [58] и др. Возможность формирования

методом нано-эпитаксии полупроводников с высоким качеством кристаллической структуры позволяет объединять в одной системе разнородные высоко функциональные материалы и блоки [59].

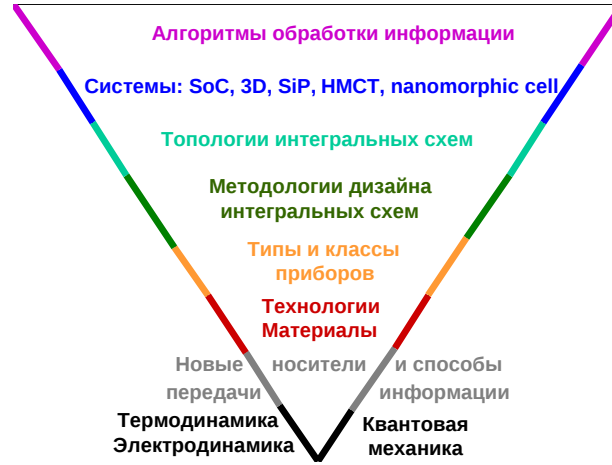


Рис. 4. Иерархия уровней, определяющих расход энергии ϵ на обработку 1 бит.

На уровне методологии дизайна ИС определенные преимущества имеют клеточные автоматы [60], адаптивные и устойчивые к дефектам нейронные сети [61], кроссбар (crossbar), 3D- и гибридные структуры [62,63], а на уровне систем - встраиваемые приборы, например, для связки человек – машина (brain-machine interfaces) [64] и др. В [65] анализируется возможность создания интегрированных на атомном уровне автономных систем с характерным размером 10 мкм (концепция «nanomorphic cell»). Интеграция на атомном уровне обеспечивает предельно высокие характеристики микросистем в расчете на единицу объема. Управляемые собственным компьютером и снабженные источником энергии ([66]), микросистемы «nanomorphic cell» должны анализировать данные, обмениваться информацией и взаимодействовать с живыми клетками.

В ряде работ критически проверяют основы функционирования наноприборов и информационных каналов [67,68], определяют пути достижения токовой характеристики транзистора ниже значения $V_g = k_B T \ln 10 / e$ (300K) = 60 мВ/декада I [69,70], обсуждают возможность использования спиновых волн для осуществления логических операций [59], делают оценки квантовых пределов рассеяния энергии в спинтронике. Вычисление - это физический процесс, протекающий в материальной подсистеме (нанотранзистор), находящейся в термостате (полупроводниковый кристалл) [31]. В [71] показано, что при размерах приборов и временах их переключения порядка характерных значений тепловых процессов, термодинамическое равновесие между прибором и термостатом не достигается, и, в этих условиях, рассеиваемая мощность может быть меньше, чем в случае равновесного распределения Больцмана. При плотности компонентов 10^{12} см^{-2} возникает проблема описания множества работающих в баллистическом или туннельном режимах близко связанных наноприборов, которым нельзя сопоставить определенные значения емкости, индуктивности и сопротивления. В [72] сделан важный шаг на пути интеграции ГСН и глубоко субвольтовых электронно-оптических гетероструктур - разработан пленочный модулятор Маха-Зандера, управляемый напряжением 0,3 В.

В [14] выполнена оценка оптимальной эффективной массы носителя заряда по Q – фактору в нанотранзисторах бинарной логики с предельно коротким каналом. Q – фактор - отношение времени нахождения прибора в состоянии 1 или 0 (τ_{store}) ко времени переходных процессов $1 \rightarrow 0$ (t_{sw}), связан с отношением (I_{on}/I_{off}) и определяет вероятность корректного выполнения логической операции.

$$Q = \frac{\tau_{store}}{t_{sw}} = \frac{h}{L_g \sqrt{2m^* E_b}} \left[\exp\left(-\frac{E_b}{k_B T}\right) + \exp\left(-\frac{2\sqrt{2E_b}}{\hbar} L_g \sqrt{m^*}\right) - \exp\left(-\frac{E_b}{k_B T}\right) \exp\left(-\frac{2\sqrt{2E_b}}{\hbar} L_g \sqrt{m^*}\right) \right]^{-1}, \quad (4)$$

где L_g - длина затвора, m^* - эффективная масса, E_b - высота потенциального барьера T - температура, k_B - постоянная Больцмана, $h = 2\pi\hbar$ - постоянная Планка ($6,6 \cdot 10^{-34}$ Дж с⁻¹). Согласно [14], кремниевые полевые транзисторы с $E_b = 0,75$ эВ (производительные ИС) неприменимы при $L_g \leq 5$ нм (меленький Q -фактор из-за малости m^*). Однако, в ГСН, где $E_b \leq 0,25$ эВ, кремний по m^* и Q отвечает требованиям изготовления нанотранзисторов с $L_g \leq 5$ нм (рис. 5).

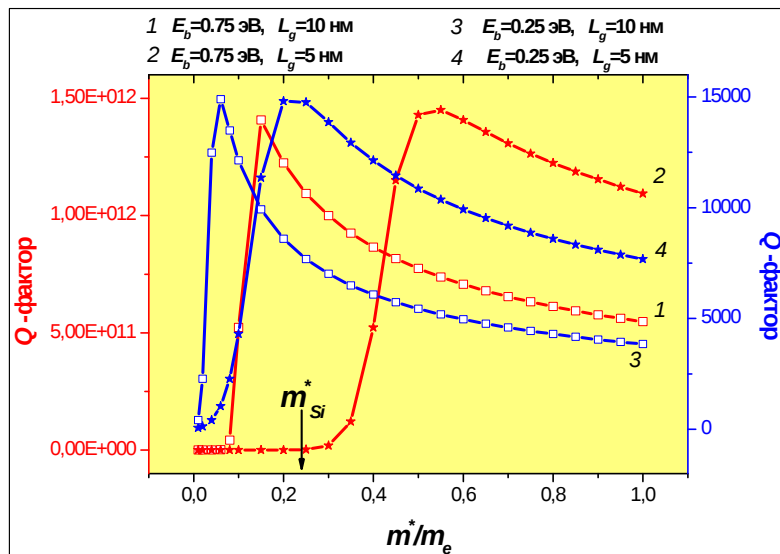


Рис. 5. Зависимость Q -фактора от эффективной массы m^* носителей заряда в коротко канальных полевых нанотранзисторах. Расчет по формуле (4) [14]: 1 - $E_b = 0,75$ эВ, $L_g = 10$ нм; 2 - $E_b = 0,75$ эВ, $L_g = 5$ нм; 3 - $E_b = 0,25$ эВ, $L_g = 10$ нм; 4 - $E_b = 0,25$ эВ, $L_g = 5$ нм.

В ГСН доля выпуска заказных ИС должна быть большой, что обусловлено следующими причинами: (а) наличие множества подходов к достижению предельных значений ϵ (рис. 4); (б) существование широкого спектра научно-технических направлений (микро- и наносистемная техника, беспроводные сети микросенсоров и микророботов, радиочастотная идентификация (RFID), биомедицинские приложения и др.), которым необходимы автономные и экономичные ИС типа «система на чипе»; (с) чип площадью $< 1 \text{ мм}^2$ при плотности компонентов $10^{11} - 10^{12} \text{ см}^{-2}$ будет обладать высокой функциональностью. В силу условий (а) и (б) число чипов в заказной партии относительно невелико, $\sim 10^4 - 10^5$, а в силу (с) для изготовления этих чипов достаточно 2-10 пластин диаметром 100 - 200 мм. Поэтому следует ожидать, что мини-фабрики с быстрой переналадкой технологических процессов получат распространение в ГСН. В этой связи особое внимание нужно обратить на развитие технологий создания высокоплотных (до 10^{12} см^{-2} двухэлектродных элементов) кроссбар-структур [73], которые не требуют совмещения электродных слоев с высокой точностью и обеспечивают ряд важных преимуществ в гибридных конфигурациях со CMOS [62].

Развитие ГСН будет способствовать становлению «национальной инновационной системы» [74] и позволит лучше сбалансировать ресурсы [1], определяющие развитие страны и ее национальную безопасность. В рамках инновационной системы целесообразно создать «национальное бюро интеллектуальной собственности в области нанoeлектроники» - конкурентно-способное на мировом уровне государственно-частное предприятие с функциями селекции инновационных решений, международного патентования, судебной защиты и управления интеллектуальной собственностью. При поддержке этого бюро небольшие высокотехнологичные российские компании, обладатели важных и ключевых патентов, смогут на выгодных и лидерских условиях встраиваться в процесс инновационного развития ГСН (например, с помощью механизма перекрестного лицензирования).

3. Наноионные суперконденсаторы в ГСН

Анализ показывает [75,76], что в субвольтовой области тонкопленочные конденсаторы традиционных конструкций не могут быть $V_{dd} - \rho_C (\delta_C)$ -масштабированы из-за экспоненциального роста туннельного тока утечки через слой диэлектрика толщиной $d = V_{dd}/F_{max} \sim 1-1,5$ нм. Диэлектрики с большими значениями k (сегнетоэлектрические керамики, ZrO_2 , HfO_2 , и др.) также не обеспечивают $\delta_C > 15$ мкФ/см², поскольку с уменьшением d величины k , F_{max} , термическая и полевая стойкость к пробую понижаются [77]. Для портативных приборов с $V_{dd} = 1,5 - 1$ В лидер электронной индустрии «Murata» выпускает многослойные сегнетоэлектрические конденсаторы в корпусе 01005 емкостью $C_{max} = 0,01$ мкФ с $V_{dd} = 6,3$ В ($\rho_C \approx 0,6$ мкФ/мм³, эффективная $\delta_C \approx 12$ мкФ/см²). Несоответствие величин V_{dd} приборов и конденсаторов указывает на трудности $V_{dd} - \rho_C (\delta_C)$ масштабирования (проблема уменьшения d).

Субвольтовые конденсаторы микронных размеров традиционных конструкций не обеспечивают минимальные, необходимые многим приложениям, значения $\rho_C > 1$ мкФ/мм³ и $\delta_C > 50$ мкФ/см². Такие емкости необходимы для фильтрации помех и низкочастотного $1/f$ шума, сглаживания пульсаций, питания импульсных нагрузок при малых допустимых перепадах напряжения (≈ 0.1 В), работы в условиях повышенных температур и проникающих ионизирующих излучений, накопления энергии от фотоэлементов, β - генераторов и других слаботочных источников в автономных приборах и т.д. [75,76]. Использование тренчевых структур с большими аспектными отношениями полностью не решает проблему увеличения $\rho_C (\delta_C)$ и вносит дополнительные технологические трудности (3D-микроструктуры вместо 2D-наноструктур). При переходе от субвольтовой наноэлектроники к ГСН необходимо дополнительно увеличить ρ_C и δ_C еще в 10-20 раз [78].

В работах [75,76] предложена концепция широкого использования в наноэлектронике, беспроводных технологиях, микросистемной и космической технике, RFID, высокотемпературной электронике, биомедицине и других технологиях высокоемких наноионных суперконденсаторов (НСК) - импульсных накопителей микронных размеров с быстрым ионным транспортом (БИТ) на функциональных гетеропереходах передовой суперионный проводник (ПСИП)/электронный проводник (ЭП). В пленочных НСК, которые можно формировать с помощью вакуумных микроэлектронных технологий, величины δ_C и ρ_C на 1-2 десятичных порядка выше, чем у конденсаторов традиционных конструкций.

Проблема гетеропереходов ПСИП/ЭП - низкая частота их функционирования, что связано с нарушением условий для БИТ (нарушение структуры) в молекулярно тонком слое ПСИП, прилегающем к ЭП. В [79,80] для решения этой проблемы предложено формировать когерентные гетеропереходы ПСИП/ЭП с высокими частотно-емкостными характеристиками. Некоторые условия создания когерентных гетеропереходов ПСИП/ЭП на основе наноионики ПСИП представлены в работах [81,82]. ПСИП имеют кристаллическую структуру, близкую к оптимальной для БИТ. В ПСИП ионы одного знака (например, анионы иод I^- в α -AgI) образуют жесткую подрешетку, в пустотах которой перемещаются ионы подвижного сорта (катионы Ag^+ в α -AgI). При подаче потенциала на структурно упорядоченный гетеропереход ПСИП/ЭП на нем индуцируются заряды противоположного знака. Индуцированному диполю может быть сопоставлена емкость $e/V \approx 0,3 \cdot 10^{-18}$ Ф, где $e = 1,6 \cdot 10^{-19}$ Кл и $V \approx 0,5$ В. На атомарно гладких гетеропереходах ПСИП/ЭП при плотности диполей $3 \cdot 10^{14}$ см⁻² суммарная плотность емкости составит $\delta_C \sim 100$ мкФ/см². При кристаллографическом фасетировании границы емкость может быть повышена до значений $\sim 10^3$ мкФ/см², что отвечает потребностям ГСН и связанных с ней технологий.

Экспериментально зарегистрированные в [75,76] высокие значения $\delta_C > 100$ мкФ/см² на гетеропереходах ПСИП/ЭП могут быть обусловлены: 1) образованием когерентной атомарно плотной гетерограницы ПСИП/ЭП; 2) проникновением волновых функций ЭП в ПСИП и формированием на гетерогранице распределения зарядов, эквивалентного по емкости атомарно тонкому двойному электрическому слою; 3) большими значениями поляризации смещения у подвижных ионов в прилегающем к гетерогранице слое ПСИП. Рассмотрим модель 1) - 3) подробнее.

В [75,76] показано, что в емкостных накопителях максимальная плотность энергии ρ_E определяется критерием

$$k \cdot F_{max} < 2 \cdot 10^9 \text{ В/см}, \quad (5)$$

который следует из максимально допустимой плотности заряда $\delta_{Q_{max}} \approx 1.5 \cdot 10^{-4}$ Кл/см² на кристаллографических плоскостях ионных кристаллов с малыми индексами. Величина $\delta_{Q_{max}}$ не может быть превышена, поскольку соответствующее $\delta_{Q_{max}}$ электрическое поле $F_{max} \approx 2 \cdot 10^9$ В/см¹ ($k=1$) несет энергию $\rho_E = \varepsilon_0 F_{max}^2 / 2 \approx 170$ кДж/см³ в несколько раз большую, чем стандартная энтальпия образования химических соединений (например, $\Delta H_{NaCl} \approx 411$ кДж/моль). Из (5) следует, что при $k > 200$ значения F_{max} на гетеропереходе не могут быть выше $\approx 10^7$ В/см.

Известно, что на атомарно упорядоченных гетерограницах щелочно-галогидный кристалл (ЩГК)/металл (Cu, Ag) возникают индуцированные металлом состояния в запрещенной зоне ЩГК [83,84]. Состояния вызваны квантово-механическим эффектом близости металла и ЩГК. Глубина проникновения этих состояний в ЩГК (l_p) зависит от галоида, увеличивается с уменьшением ширины запрещенной зоны и составляет 0.3-0.4 нм (замещения $F \rightarrow Cl \rightarrow Br \rightarrow I$ в ЩГК). Образование индуцированных металлом состояний в запрещенной зоне изолятора (полупроводника) – общее явление [85]. Согласно [86], следует различать: 1) индуцированные металлом состояния с характером зоны проводимости (перенос электронной плотности из металла в изолятор); 2) состояния с характером валентной зоны (перенос электронной плотности из изолятора в металл). Проникновение электронной плотности в ПСИП (например, $RbAg_4I_5$) вызовет образование слоя разделенных зарядов толщиной $\sim l_p$. Электрическое поле в слое (потенциал + на ЭП) будет поляризовать ПСИП в области гетероперехода ПСИП/ЭП. Поляризация кристаллов с ионным характером химических связей – это смещения равновесных положений ионов в потенциальных ямах. Смещения зависят от потенциального рельефа в кристалле (производная от кристаллического потенциала по координате) и величины внешнего поля. В ЩГК глубина потенциальных ям ~ 3 эВ и значения $k \approx 5$. В ПСИП подвижные ионы находятся в потенциальных ямах глубиной ~ 0.1 эВ, поэтому k должны быть значительно больше, чем в ЩГК. Это дает $k \sim 50$, что согласуется с данными [87]. Заметим, что сегнетоэлектрическая поляризация в $BaTiO_3$ ($\delta_Q \sim 2.5 \cdot 10^{-5}$ Кл/см², $k \sim 5000$, параметр элементарной ячейки ≈ 0.4 нм), возникает при смещении ионов на ~ 0.02 нм [88]. Формула плоского конденсатора с межэлектродным зазором $l_p \sim 0.2-0.3$ нм дает $\delta_C \sim \varepsilon_0 k / l_p > 100$ мкФ/см² при $k \sim 50$, что согласуется с экспериментальными данными [75,76].

Последние несколько лет производительность процессоров ИНТЕЛ повышалась, главным образом, вследствие роста плотности компонентов, а не тактовой частоты (перегрев ИС, см., например, рис. 1b в [89]). В [90] указано, что если проблема теплового перегрева не будет решена, то операционная частота ИС с плотностью компонентов 10^{12} см⁻² и $V_{dd} \sim 0.5$ В будет $\sim 10^7$ Гц. В этом случае у импульсных накопителей минимальные значения длительности цикла заряд-разряд должны быть $\sim 10^{-7}$ с. Отсюда следует, что в ГСН верхняя граница для времен диэлектрической релаксации на функциональных гетеропереходах ПСИП/ЭП может быть $\sim 10^{-7}$ с, что облегчает создание приборов на основе ПСИП.

Химический состав и структура в области функциональных гетеропереходов ПСИП/ЭП могут рассматриваться как дополнительные «поля», определяющие значения k и ион-транспортные характеристики в наноионных приборах (наноприборы с БИТ). Использование методов инженерии гетерограниц и принципов самоорганизации в наносистемах ПСИП [81,82] позволит создавать наноионные приборы с высокими характеристиками. В ИПТМ РАН в рамках работ по наноионике [91] и новому направлению наноионике ПСИП [82] созданы лабораторные образцы импульсных накопителей (прототипы НСК) с рекордно высокими характеристиками: на частотах до 1 МГц и температурах 85-180 °С $\delta_C \approx 100$ мкФ/см² ($\rho_C > 10$ мкФ/мм³), что значительно больше, чем у приборов-конкурентов - многослойных сегнетоэлектрических конденсаторов ультра плотного поверхностного монтажа (Samsung, TDK, Murata и др.) [75,76]. Разработанные импульсные накопители уже сегодня могут использоваться: (i) на современных процессорах, где температура достигает 85-100 °С, (ii) в электронике для глубокого бурения (температура 150 °С и выше), (iii) в приборных отсеках космических аппаратов, где остро стоит проблема перегрева электроники (при 150 °С ресурс работы сегнетоэлектрических конденсаторов - несколько часов).

Оценка порядковой стоимости рынка высокочастотных конденсаторов микронных размеров выполнена в [75,76]:

$$B_{НСК} = \sum_j N_{ИС}^j \cdot A_{ИС}^j \cdot S, \quad (6)$$

где $B_{НСК}$ – валовая стоимость НСК, j – индекс сектора рынка, $N_{ИС}^j$ – число произведенных ИС; $A_{ИС}^j$ – средняя стоимость одной ИС; S – средняя доля площади ИС, занимаемая НСК. Например, в секторе приборов радиочастотной идентификации (RFID) у дешевых чипов конденсаторы энергетического блока занимают $\approx 1/4$ площади, т.е. можно

принять $S \approx 0.25$. Прогнозируется [92], в период 2006-2016 гг. рынок RFID вырастет в 10 раз и достигнет $N_{ИС}^1 \cdot A_{ИС}^1 \sim \26 млрд. Таким образом, стоимость НСК в ГСН может составить $\sim 10\%$ валовой стоимости рынка чипов. Это вводит НСК в поле стратегических интересов сотен фирм и корпораций, нацеленных на завоевание рынков передовой наноэлектроники и связанных с ней технологий. Разработки и международное патентование (множитель ϕ_3) высокочастотных импульсных накопителей микронных размеров – наноионных суперконденсаторов, помогут отечественной полупроводниковой индустрии на выгодных условиях участвовать в процесс инновационного развития глубоко субвольтовой наноэлектроники и занимать передовые позиции в стратегически значимой сфере.

4. Наноионные приборы

Термин и концепция новой ветви науки, «наноионика», предложены в [91]. Предмет наноионики – явления, свойства, эффекты, механизмы процессов и применения, связанные с БИТ в твердотельных нанообъектах и наносистемах [93,94]. Наноионика имеет области пересечения с наноэлектроникой и другими технологиями. Примерами являются наноструктурированные электроды (функциональные элементы с БИТ на наномасштабе) в литиевых и топливных элементах [95], переключатели на основе твердотельных ионных проводников с квантованной проводимостью [96-98], электрохимический наноимпринтинг на основе БИТ [99] и др. Наноионика однозначно определяется: 1) своими объектами (наноструктуры с БИТ); 2) предметом (свойства, явления, эффекты, механизмы процессов и приложения, связанные с БИТ на наномасштабе); 3) методами (создание материалов и нанообъектов с БИТ) и 4) критерием ($R/L \sim 1$, где R – наноразмер приборной структуры, а L – характерная длина, на которой значительно меняются связанные с БИТ свойства, явления, эффекты, механизмы процессов). Существует два класса твердотельных наносистем и два принципиально разных направления в наноионике. Следует различать наносистемы-I на основе твердых тел с исходно низкой ионной проводимостью и наносистемы-II на основе передовых суперионных проводников (ПСИП), впервые введенные в [82].

Высокой ионной проводимостью обладают области пространственного заряда на поверхности кристаллов с ионным типом химической связи (эффект Леговека [100]). Поскольку указанные области с особыми свойствами имеют нанометровую толщину, то эффект Леговека относится к наноионике-I. На основе явления поверхностной ионной проводимости созданы наноструктурированные материалы с БИТ для портативных литиевых батарей и топливных элементов. Наноматериалы с БИТ обычно получают введением в «плохой» ионный проводник вспомогательной дисперсной фазы, создающей условия для разупорядочения кристаллической структуры ионного проводника и появления высокой концентрации заряженных точечных дефектов (вакансии и междоузлия), а также двойного электрического слоя у гетерограниц. В наноионике-II, наоборот, методами кристаллохимического дизайна гетерограниц создаются условия для сохранения на гетеропереходах исходной, близкой к оптимальной для БИТ, кристаллической структуры ПСИП, обеспечивающей рекордно высокие ион-транспортные характеристики [79,82]. Наноионика-I и наноионика-II отличаются дизайном гетерограниц. В наноионике-I такой дизайн позволяет увеличить 2-D ионную проводимость гетерограниц в $\sim 10^8$ раз [101], однако, достигаемые значения остаются в $\sim 10^3$ раз меньше, чем 3-D ионная проводимость ПСИП. Примерами наноионных приборов являются НСК, отличающиеся БИТ на функциональных гетеропереходах, резистивная ионная матричная память [96-98] (ITRS относит ее к категории «emerging research devices») и др. В будущей ГСН наноионные приборы с малым значением V_{dd} могут найти новые неожиданные применения. Например, сильное электрическое поле выше 10^7 В/см можно легко создать на гетеропереходах ПСИП/полупроводник. Явление может быть использовано для модуляции тока в канале полевых транзисторов ГСН.

Представление о будущей наноэлектронике формируется в передовых исследованиях [14,102]. Фактически достигнутая область « 10^{10} см $^{-2}$ - 10^{10} Гц» находятся еще очень далеко от границ [103], определяемых предельными физическими ограничениями на вычисления. Какие логические приборы могут использоваться при топологических размерах ИС ~ 1 нм и менее? Вопрос рассматривался уже в работе [104] где термин «наноэлектроника» (Bate R.T., Reed M.A., Frazier G. Frensley W.R [4-8]) еще не был использован. При тера-масштабной интеграции электронные состояния перестают удовлетворять условию физической различимости из-за туннельного эффекта. Для преодоления рубежа плотности компонентов 10^{12} см $^{-2}$ необходимо использовать атомные и ионные конфигурации с характерным

размером $L < 2$ nm и носители информации с массой m^* значительно большей, чем у электронов [14]. Приборы предельно малых размеров могут быть наноионными, т.е. использовать явление БИТ на нано-масштабе. Мемристоры [58,105], гибридные приборы, в которых задействованы квантовый транспорт электронов и классическое движение ионов [106], следует рассматривать как шаг на пути к будущей глубоко субвольтовой наноэлектронике.

5. Заключение

Опережающее развитие в России глубоко субвольтовой наноэлектроники и связанных с ней научно-технических направлений является перспективной национальной задачей, ее решение необходимо для успешного участия страны в глобальной технологической гонке. Национальный проект по глубоко субвольтовой наноэлектронике должен быть обеспечен достаточными «ресурсами» и преследовать стратегическую цель «догнать и перегнать».

Авторы выражают благодарность сотрудникам Semiconductor Research Corporation (США) В.В.Жирнову и Р.К.Кэвину (R.K.Cavin) за предоставление препринтов по «nanomorphic cell».

Литература

- [1] **Модестов С.А.** (2002) Системно-ресурсный подход к геополитике XXI века *Национальные интересы* № 4.
- [2] **Welser J.J., Bourianoff G.I., Zhirnov V.V., Cavin R.K.** (2008) The quest for next information processing technology *J. Nanoparticle Research* 10 1-10.
- [3] **Деспотули А.Л., Андреева А.В.** (2008) Перспективы развития в России глубоко субвольтовой наноэлектроники и связанных с ней технологий *Интеграл* №1 6-7; №2 16-19.
- [4] **Bate R.T., Reed M.A., Frensley W.R.** (1987) *Nanoelectronics Final Technical Report, 15 Jun. 1984 - 14 Jun. 1987.* (Dallas, Texas Instruments, Inc.).
- [5] **Bate R., Frazier G., Frensley W., Reed M.** (1989) An overview of nanoelectronics *Texas Instruments Technical Journal* July-August 13-20.
- [6] **Bate R.T.** (1990) Nanoelectronics *Nanotechnology* 1 1-7.
- [7] **Frazier G.** (1988) An ideology for nanoelectronics *Concurrent Computations: Algorithms, Architecture, and Technology* (N.-Y.: Plenum Press).
- [8] **Randall J.N., Reed M.A., Frazier G.A.** (1989) Nanoelectronics: fanciful physics or real devices? *J. Vac. Sci. Technol. B* 7 1398-1404.
- [9] Нанотехнологии выходят на большую дорогу *Нанотехнологии в Мире* (2008) **Выпуск 00 9.**
- [10] **Сметанов А.Ю.** (2007) Состояние и тенденции развития предприятий ВПК в современных экономических условиях *Интеграл* №5 29-31.
- [11] http://fcrp.org/member/about/mission_statement.asp
- [12] <http://www.itrs.net/home/html>
- [13] **Носов Ю.Р., Сметанов А.Ю.** (2007) На пути в наноэлектронику. Исторические параллели и сопоставления *Электроника* №5 11-16.
- [14] **Zhirnov V.V., Cavin R.K.** (2007) Emerging research nanoelectronic devices: The choice of information carrier *ECS TRANS.* 11 17-28.
- [15] **Moore G.E.** (1965) Cramming more components onto integrated circuits *Electronics* 38 114-117.
- [16] **Cavin R.K., Zhirnov V.V.** (2008) Morphic architectures: Atomic-level limits *Materials and Devices for "Beyond CMOS" Scaling: Mater. Res. Soc. Symp. Proc. (Warrendale, PA, 2008)* 1067E ed. S. Ramanathan p. B01-02.
- [17] **Cavalcanti A., Shirinzadeh B., Zhang M., Kretly L.C.** (2008) Nanorobot hardware architecture for medical defense *Sensors* 8 2932-2958.
- [18] **Hwang M.-E., Raychowdhury A., Kim K., Roy K.** (2007) A 85 mV 40 nW process-tolerant subthreshold 8x8 FIR filter in 130 nm technology *Proc. IEEE Symp. VLSI Circuits (Kyoto)* p. 154-155.
- [19] **Verma N., Kwong J., Chandrakasan A. P.** (2008) Nanometer MOSFET variation in minimum energy subthreshold circuits *IEEE Trans. Electron Devices* 55 163-174.

- [20] **Kim T.-H., Liu J., Keane J., Kim C. H.** (2008) A 0.2 V, 480 kb subthreshold SRAM with 1 k cell per bitline for ultra-low-voltage computing *IEEE J. Solid-State Circuits* **43** 518-529.
- [21] **Kaul H., Anders M., Mathew S., Hsu S., Agarwal A., Krishnamurthy R., Borkar S.** (2008) A 320mV 56 μ W 41GOPS/Watt ultra-low-voltage motion-estimation accelerator in 65nm CMOS *Int. Solid State Circuits Conf.* (San Francisco) p. 316-317.
- [22] **Kwong J., Ramadass Y., Verma N., Koesler M., Huber K., Moormann H., Chandrakasan A.** (2008) A 65nm sub- V_t microcontroller with integrated SRAM and switched-capacitor DC-DC converter *Int. Solid State Circuits Conf.* (San Francisco) p. 318-319.
- [23] **Stanic N., Bulankutty A., Kinget P., Tsividis Y.** (2008) A 2.4 GHz ISM-band sliding-IF receiver with a 0.5 V supply *IEEE J. Solid-State Circuits* **43** 1138-1145.
- [24] **Shen J., Kinget P.** (2008) A 0.5 V 8-bit 10-Ms/s pipelined ADC in 90nm CMOS *IEEE J. Solid-State Circuits* **43** 787-795.
- [25] **Nazhandali L., Zhai B., Olson J., Reeves A., Minuth M., Helfand R., Pant S., Austin T., Blaauw D.** (2005) Energy optimization of subthreshold-voltage sensor network processor *32nd Int. Symp. on Computer Architecture* (Washington: IEEE Computer Society) p. 197-207.
- [26] **Despotuli A.L., Andreeva A.V.** (2008) Prospects of development in Russia the deep-sub-voltage nanoelectronics and related technologies *Integral* **1** 6-7, **2** 16-18, **4** 10-11(in Russian)
- [27] **Despotuli A.L., Andreeva A.V.** (2007) Applied nanoionics of advanced superionic conductors // *3rd Int. Conf. on Micro-Nanoelectronics, Nanotechnology & MEMs (Athens)* p. 64.
- [28] http://en.wikipedia.org/wiki/Deep-sub-voltage_nanoelectronics
- [29] **Nikolic B.** (2008) Design in the power-limited scaling regime *IEEE Trans. Electron Devices* **55** 71-83
- [30] **Lin S.-C., Banerjee K.** (2008) Cool chips: opportunities and implications for power and thermal management *IEEE Trans. Electron Devices* **55** 245-255.
- [31] **Cerofolini G. F.** (2007) Realistic limits to computation. I. Physical limits *Appl. Phys. A* **86** 23-29
- [32] **Kish L.B.** (2002) End of Moore's law: thermal (noise) death of integration in micro and nano electronics *Phys. Lett. A* **305** 144 -149.
- [33] **Zhai B., Blaauw D., Sylvester D., Flautner K.** (2004) Theoretical and practical limits of dynamic voltage scaling *Proc. Design Automation Conf. (San Diego)* p. 868-873.
- [34] **Chakrapani L.N.B., George Z.J., Marr B., Akgul B.E.S., Palem K.V.** (2008) Probabilistic design: a survey of probabilistic CMOS technology and future directions for terascale IC *VLSI-SoC: research trends in VLSI and systemson chip* (Boston: Springer) p. 101-118.
- [35] **Akgul B.E.S., Chakrapani L.N., Palem K.V.** (2006) Probabilistic CMOS technology for cognitive information processing *High Performance Embedded Computing Workshop* (Massachusetts)
- [36] **Sadek A.S, Nikolie K., Forshaw M.** (2004) Parallel information and computation with restitution for noise-tolerant nanoscale logic networks *Nanotechnology* **15** 192 -210
- [37] **Neumann J.** (1954) Probabilistic logics and the synthesis of reliable organisms from unreliable componens *Automata Studies* ed C E Shannon and J McCarthy (Princeton: Univ. Press NJ) p. 43-98.
- [38] **Kish L. B.** (2006) Thermal noise driven computing *Appl. Phys. Lett.* **89** 144104.
- [39] **Cavin R.K., Zhirnov V.V., Herr D.J.C., Avila A., Hutchby J.** (2006) Research directions and challenges in nanoelectronics *J. Nanoparticle Research* **8** 841-858.
- [40] **Kish L. B.** (2004) Moore's law and the energy requirement of computing versus performance *IEE Proc. Circuits Devices Syst.* **151** 190-194.
- [41] **Meindl J.** (1995) Low power microelectronics: retrospect and prospect *Proc. IEEE* **83** 619-635.
- [42] **Cavin R.K., Zhirnov V.V.** (2006) Generic device abstractions for information processing technologies *Solid-State electronics* **50** 520-526.
- [43] **Keyes R.W.** (2000) Miniaturization of electronics and its limits *IBM J. Res. Develop.* **44** 84-88.
- [44] **Areshkin D.A., White C.T.** (2007) Building Blocks for Integrated Graphene Circuits *Nano Lett.* **7** 3253-3259.
- [45] **Lin M., Avouris P.** (2008) Strong suppression of electrical noise in bilayer graphene nanodevices *Nano Lett.*
- [46] **Wang X., Ouyang Y., Li X., Wang H., Guo J., Dia H.** (2008) Room-temperature all-semiconducting sub-10-nm graphene nanoribbon field-effect transistors *Phys. Rev. Lett.* **100** 206803.

- [47] **Ma R.-M., Dai L., Huo H.-B., Xu W.-J., Qin G. G.** (2007) High-performance logic circuits constructed on single CdS nanowires *Nano Lett.* **7** 3300-3304.
- [48] **Guo X., Silva S. R. P.** (2008) High-performance transistors by design *Science* **320** 618-619.
- [49] **Lent C. S., Liu M., Lu Y.** (2006) Bennett clocking of quantum-dot cellular automata and the limits to binary logic scaling *Nanotechnology* **17** 4200-4251.
- [50] **Zhang Q., Zhao W., Sebaugh A.** (2006) Low-subthreshold-swing tunnel transistors *IEEE Electron Device Lett.* **27** 297-300.
- [51] **Hu C., Chou D., Patel P., Bowonder A.** (2008) Green transistor – a V_{dd} scaling path for future low power ICs *Int. Symp. on VLSI Technology, Systems and Applications (Taiwan)* p. 14-15.
- [52] **Stafford C. A., Cardamone D. M., Mazumdar S.** (2007) The quantum interference effect transistor *Nanotechnology* **18** 424014.
- [53] **Tonouchi M.** (2007) Cutting-edge terahertz technology *Nature photonics* **1** 97-105.
- [54] **Tauk R., Teppe F., Boubanga S., Coquillat D., Knap W., Meziani Y. M., Boeuf F., Skotnicki T., Fenouillet-Beranger C., Maude D.K., Rumyantsev S., Shur M.S.** (2006) Plasma wave detection of terahertz radiation by silicon field effects transistors: Responsibility and noise equivalent power *Appl. Phys. Lett.* **89** 253511
- [55] **Teppe F., Fatimy A.El., Boubanga S., Seliuta D., Valusis G., Chenaud B., Knap W.** (2008) Terahertz resonant detection by plasma waves in nanometric transistors *Acta Phys. Polonica A.* **113** 815-820.
- [56] **Kibis O.V., Rosenau-da Costa M., Portnoi M.E.** (2007) Generation of terahertz radiation by hot electrons in carbon nanotubes *Nano Lett.* **7** 3414-3417.
- [57] **Waser R. and Aono M.** (2007) Nanoionics-based resistive switching memories *Nature Materials* **6** 833-840.
- [58] **Strukov D.B., Snider G.S., Stewart D.R., Williams R.S.** (2008) The missing memristor found *Nature* **453** 80-83.
- [59] **Wang K.L., Galatsis K., Ostroumov R., Knitun A., Zhao Z., Han S.** (2008) Nanoarchitectonics for heterogeneous integrated nanosystem *Proc. IEEE.* **96** 212-229.
- [60] **Zhirnov V., Cavin R., Leeming G., Galatsis K.** (2008) An assessment of integrated digital cellular automata architectures *Computer* **41** 38-44.
- [61] **Snider G.S.** (2007) Self-organized computation with unreliable, memristive nanodevices *Nanotechnology* **18** 365202.
- [62] **Likharev K.K.** (2007) Hybrid semiconductor/nanoelectronics circuits: freeing advanced lithography from the alignment accuracy burden *J. Vacuum Sci. & Tech. B.* **25** 2531-2536.
- [63] **Dong C., Chen D., Tanachutiwat S., Wang W.** (2007) Performance and power evaluation of a 3D CMOS/nanomaterial reconfigurable architecture *IEEE /ACM Int. Conf. on Computer-Aided Design (San Jose)* p. 758-764.
- [64] <http://www.nano-tera.ch/index.html>
- [65] **Zhirnov V.V., Cavin R.K.** (2008) Nanomorphic systems: A study of fundamental limits in semiconductor bio-electronics *Internal SRC working paper*
- [66] **Qin Y., Wang X., Wang Z. L.** (2008) Microfibre–nanowire hybrid structure for energy scavenging *Nature* **451** 809-813.
- [67] **Zaiko Yu.N.** (2005) Estimation of the computation capacity of classical computers *Technical Phys. Lett.* **31** 796-798.
- [68] **Zaiko Yu.N.** (2006) The transmission capacity of a nonlinear classical communication channel *Technical Phys. Lett.* **32** 972-974.
- [69] **Salahuddin S., Datta S.** (2008) Use of negative capacitance to provide voltage amplification for low power nanoscale devices *Nano Lett.* **8** 405-410.
- [70] **Toh E.-H., Wang G.H., Weeks D., Zhu M., Bauer M., Spear J., Chan L., Thomas S.G., Samudra G., Yeo Y.-C.** (2008) P-Channel I-MOS transistor featuring silicon nano-wire with multiple-gates, Si1-yCy I-region, in situ doped Si1-yCy source, and sub-5 mV/decade subthreshold swing *Int. Symp. VLSI Technology, Systems and Applications (Taiwan)* p. 24-25.
- [71] **Nikonces D.E., Bourianoff G. I., Gargini P.A.** (2006) Power dissipation in spintronic devices away from thermodynamic equilibrium *J. Superconduc. Novel Magn.* **19** 497-513.
- [72] **Shin J., Chang Y.-C., Dagli N.** (2008) 0.3 V drive GaAs/AlGaAs substrate removed Mach-Zehnder intensity modulator *Appl. Phys. Lett.* **92** 201103.
- [73] **Green J. E., Choi J. W., Boukai A., Bunimovich Y., Johnston-Halperin E., DeIonno E., Luo Y., Sheriff B.A., Xu K., Shin Y.S., Tseng H.-R., Stoddart J.F., Heath J.R.** (2007) A 160-kilobit molecular electronic memory patterned at 10^{11} bits per square centimetre *Nature* **445** 414-417.

- [74] **Гольдштейн Г.Я.** (2004) *Стратегический инновационный менеджмент* (Таганрог. ТРТУ).
- [75] **Деспотули А.Л., Андреева А.В.** (2007) Высокоемкие конденсаторы для 0.5-вольтовой наноэлектроники будущего *Современная электроника* №7 24-29.
- [76] **Деспотули А.Л., Андреева А.В., Аристов В.В.** (2007) Высокоемкие конденсаторы для наноэлектроники *Нано- и микросистемная техника* № 11 38-46.
- [77] **Tsubota S.** (2005) High-capacitance capacitors by Murata make smaller power supplies *AEI* 12 41-43.
- [78] **Деспотули А.Л., Андреева А.В., Аристов В.В.** (2007) Наноионные суперконденсаторы микронных размеров: перспективы разработки и применения *Нанотехнологии – производству*. (Фрязино) с. 93-95.
- [79] **Despotuli A.L., Andreeva A.V.** (2003) Double-layer thin-film supercapacitors for nano-electro-mechanical systems (NEMS) *Proc. IARP International Workshop "Micro Robots, Micro Machines, Micro Systems (Moscow)* p.129-141.
- [80] **Деспотули А.Л., Андреева А.В.** (2003) Создание новых типов тонкопленочных суперконденсаторов для микросистемной техники и микро(нано)электроники (Часть 1) *Микросистемная техника* № 11 2-10.
- [81] **Andreeva A. V., Despotuli A. L.** (2005) Interface design in nanosystems of advanced superionic conductors *Ionics* 11 152-160.
- [82] **Despotuli A.L., Andreeva A.V., Rambabu B.** (2005) Nanoionics of advanced superionic conductors *Ionics* 11 306-314.
- [83] **Kiguchi M., Yoshikawa G., Ikeda S., Saiki K.** (2005) Electronic properties of metal-induced gap states formed at alkali-halide/metal interfaces *Phys. Rev. B* 71 153401.
- [84] **Arita R., Tanida Y., Kuroki K., Aoki H.** (2004) Electronic properties of metal-induced gap states at insulator/metal interfaces *Phys. Rev. B* 69 115424.
- [85] **Tersoff J.** (1984) Schottky barrier height and the continuum of gap states *Phys. Rev. Lett.* 52 465-468.
- [86] **Noguera C., Bordier G.** (1994) Theoretical approach to interfacial metal-oxide bonding *J. Phys. III France* 4 1851-1864.
- [87] **Rakitin A., Kobayashi M.** (1994) Effect of lattice potential on the dynamics of liquid like ionic transport in solid electrolytes *Phys. Rev. B* 49 11789.
- [88] **Frenkel A. I., Feldman Y., Lyahovitskaya V., Wachtel E., Lubomirsky I.** (2005) Microscopic origin of polarity in quasiamorphous BaTiO₃ *Phys. Rev. B* 71 024116.
- [89] **Nikolic B.** (2008) Design in the power-limited scaling regime *IEEE Trans. Electron Devices* 55 71-83.
- [90] **Stadler R., Crawley D., Nikolic K., Forshaw M.** (2004) A short review of nanoelectronics architectures *Nanotechnology* 15 S220- S223.
- [91] **Despotuli A.L., Nikolaichik V.I.** (1993) A step towards nanoionics *Solid State Ionics* 60 275-278.
- [92] www.idtechex.com
- [93] <http://en.wikipedia.org/wiki/Nanoionics>
- [94] **Yamaguchi S.** (2007) Nanoionics - present and future prospects *Science and Technology of Advanced Materials* 8 503.
- [95] **Maier J.** (2005) Nanoionics: ion transport and electrochemical storage in confined systems *Nature Materials* 4 805-815.
- [96] **Banno N., Sakamoto T., Iguchi N., Kawaura H., Kaeriyama S., Mizuno M., Terabe K., Hasegawa T., Aono M.** (2006) Solid-Electrolyte Nanometer Switch *IEICE Trans. Electr.* E89-C(11) 1492-1498.
- [97] **Waser R., Aono M.** (2007) Nanoionics-based resistive switching memories *Nature Materials* 6 833-840.
- [98] **Nessel J.A., Lee R.Q., Mueller C. H., Kozicki M. N.** (2008) A novel nanoionic-based switch for microwave applications *Int. Microwave Symposium (Atlanta)* p. TH4E-01.
- [99] **Hsu K.H., Schultz P.L., Ferreira P.M., Fang N.X.** (2007) Electrochemical nanoimprinting with solid-state superionic stamps *Nano Letters* 7 446-451.
- [100] **Lehovec K.** (1953) Space-charge layer and distribution of lattice defects at the surface of ionic crystals *J. Chem. Phys.* 21 1123-1128.
- [101] **Garcia-Barriocanal J., Rivera-Calzada A., Varela M., Sefrioui Z., Iborra E., Leon C., Pennycook S. J., Santamaria J.** (2008) Colossal ionic conductivity at interfaces of epitaxial ZrO₂:Y₂O₃/SrTiO₃ heterostructures. *Science* 321 676-680.
- [102] **Cerofolini G.F.** (2008) Molecular electronic in silico *Appl. Phys. A* 91 181-210.
- [103] **Lloys S.** (2000) Ultimate physical limits to computation *Nature* 406 1047-1054.
- [104] **Chiabrera A., Zitti E.D., Costa F., Bisio G. M.** (1989) Physical limits of integration and information processing in molecular systems *J. Phys. D* 22 1571-1579.

- [105] **Yang J.J., Picket M. D., Li X., Ohlberg, Steward D. R., Williams R. S.** (2008) Memristive switching mechanism for metal/oxide/metal nanodevices *Nature Nanotechnology* **3** 429-433.
- [106] **Zhirnov V.V., Cavin R.K.** (2008) Nanodevices: Charge of the heavy brigade *Nature Nanotechnology* **3** 377-378.

AN OVERVIEW ON FUTURE DEEP-SUB-VOLTAGE NANO-ELECTRONICS, RELATED TECHNOLOGIES AND DEPENDENT HIGH-TECH DIRECTIONS

A.L.Despotuli, A.V.Andreeva

Institute of Microelectronics Technology and High-Purity Materials, Russian Academy of Sciences, Chernogolovka, Moscow Region 142432, Russia. E-mail: despot@ipmt-hpm.ac.ru

The decrease of energy consumption per 1 bit processing (ϵ) and power supply voltage (V_{dd}) of integrated circuits (ICs) are long term tendencies in micro- and nanoelectronics. In this framework, deep-sub-voltage nanoelectronics (DSVN), i.e. ICs of $\sim 10^{11}$ - 10^{12} cm⁻² component densities operating near the theoretical limit of ϵ , is sure to find application in the next 10 years. In nanoelectronics, the demand on high-capacity capacitors of micron sizes sharply increases with a decrease of technological norms, ϵ and V_{dd} . Creation of high-capacity capacitors of micron size to meet the challenge of DSVN and related technologies is considered. The necessity of developing all-solid state impulse micron-sized supercapacitors on the basis of advanced superionic conductors (nanoionic supercapacitors) is discussed. Theoretical estimates and experimental data on prototype nanoionic supercapacitors with capacity density $\delta_C \approx 100$ $\mu\text{F}/\text{cm}^2$ are presented. Future perspectives of nanoionic devices are briefly discussed.

Keywords: deep-sub-voltage nanoelectronics, supercapacitors, nanoionics

1. Introduction

The 90-nm, 65-nm and leading-edge 45-nm silicon planar complementary metal-oxide semiconductor (CMOS) integrated circuits (ICs) operate on the basis of classical physics. These devices are called «nanoelectronics» but at first the term «nanoelectronics» was coined as the attribute to fundamentally different ICs: «... devices which operate by fully utilizing an electron quantum-mechanical behavior at very small length scales»^[1,2]. The general consideration of physics in computational terms leads to fundamental conclusion that the energy of a quantum system limits the rate of computation^[3]. There is a standpoint that a search for barriers and limitations in information processing brings a lot of deep outcomes^[4].

Today a semiconductor industry is moving from 45-nm to the 32-nm technology node (related to half the metal pitch of a dynamic random access memory) where ICs will be again without «quantum transport», «resonant tunneling», «lateral confinement-quantum dots», «quantum coupling between ultra-small structures» and «new circuit architectures»^[5]. The main specific technology options related to 32-nm and 45-nm nodes are multi-gates field effect transistors (FET) and high- k dielectrics in the gates instead of SiO₂. Thin-films of SiO₂ were scaled from about 20 nm thickness 15 years ago to only 1.2 nm in 65-nm node (it is less than five atomic layers). There is no room left for further thickness scaling^[6] and so the capacity density of conventional high-capacity capacitors is also limited in nanoelectronics.

According to the International Technology Roadmap for Semiconductors (ITRS)^[7], the 22-nm node will be achieved in 2011-2012. At that time the typical half-pitch for a memory cell would be around 22 nm and it is possible that silicon in the channels of FETs will be replaced by new materials with high mobility of electrons and holes: the III-V n-MOS and Ge p-MOS complementary combination^[8]. The CMOS will not be planar beyond 22-nm node where FETs overcome such challenges as electrostatic control of the channel potential and suppression of leakage current between transistor source and drain in short channels^[9]. A non-planar tri-gate would be suited to such FET^[10]. Projected devices with typical 16 nm half-pitch will be achieved around 2018^[7]. Non-silicon technologies and quantum effects will be introduced at 16-nm node where traditional CMOS will be also used. De Broglie wavelength of electron carrier with effective mass of 1/10 of the free electron mass has a typical value ~ 10 nm at 300 K. Projected 11-nm ICs will be achieved after 2022^[7] and behaviour of these devices will be closer to definition of nanoelectronics^[1,2,5].

Among the promising future devices are transistors made from nanowires. Recently^[11], the possibility to build nanowire transistor structure with atomic precision and atomic-level functionality via controlling wavefunctions of individual atoms was experimentally shown. This result concerns a separate quantum device, but what is the situation for the ICs beyond ITRS 11-nm

node? The estimations show^[12] that energy dissipation of ICs might be enormously high and inconsistent with solid state at the $\sim 10^{11} \text{ cm}^{-2}$ device density. Critical problem is a sub-voltage nanodevice that changes a current to several orders of magnitude at the 60 mV swing^[9].

Reducing the energy consumption per 1 bit processing (ϵ) and supply voltage (V_{dd}) has been a major trend in micro- and nanoelectronics for a long period of time. At present, high-performance processors are becoming sub-voltage. Figure 1 shows ITRS prognosis for V_{dd} and gate length L_g for nanotransistors of ICs. Mass production of ICs with $V_{dd} = 0.5 \text{ V}$ is planned by the year 2016^[7] (Fig. 1), but a custom application-specific ICs with $V_{dd} < 0.5 \text{ V}$ are to appear before that date. Many high-tech directions require ICs which can meet other demands for performance, ϵ and failure rate f_{err} as compared modern general purpose processors. The value of ϵ is critical for self-powering wireless sensor networks, objects of nano- and microsystem engineering (NMSE), e.g. “smart dust” (volume $\sim 1 \text{ mm}^3$), next generation of NMSE (“nanomorph cell”, volume $\sim 10^{-6} \text{ mm}^3$)^[13], microchips of radio frequency identification (RFID), security and bio-medical microsystems of terahertz spectroscopy^[14], military applications, etc. The energy of galvanic sources in an autonomous NMSE object is proportional to electric cell voltage and chemical reagent mass, whereas the energy dissipation upon a transistor switching is $\sim V_{dd}^2$. If electric cell voltage is $\theta \cdot V_{dd}$ (coefficient $\theta > 1$), the total number of switching would be $\sim \theta / V_{dd}$, which makes devices with low V_{dd} pre-eminent.

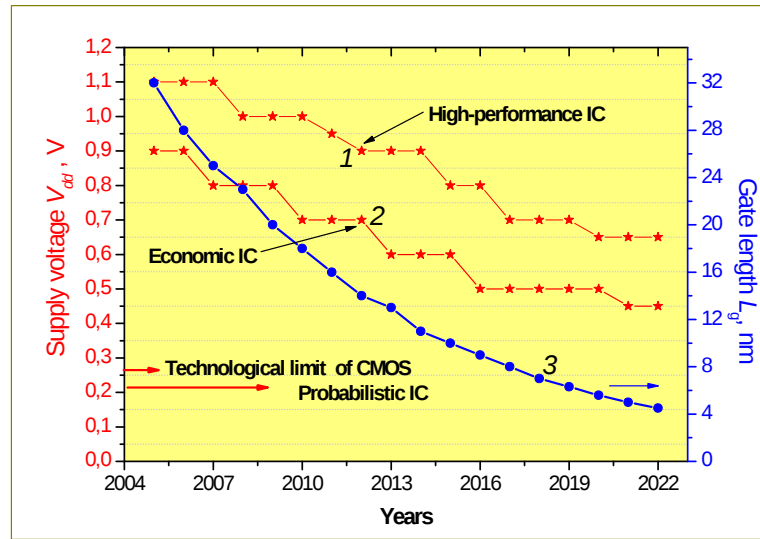


Fig. 1. Prognosis of changes in supply voltage V_{dd} and gate length L_g for mass production ICs (according to the ITRS-2006 and ITRS-2007 data^[7]): 1) high-performance IC operation mode, 2) economic IC operation mode, and 3) gate length L_g of nanotransistors.

Figure 2 displays V_{dd} values of experimental sub-voltage CMOS (the record low value $V_{dd} = 85 \text{ mV}$ was reached in Ref. 15). The current I in the channel of ideal field effect transistors varies by 10 times with the gate voltage $V_g = k_B T \ln 10 / e$ (300 K) = 60 mV at low V_{dd} (sub-threshold operation), therefore the application of such devices in future nanoelectronics is limited by the smallness of the ratio I_{on}/I_{off} .

Continuous scaling of semiconductor device sizes and rapid development of new technologies lead to that the two main classes of ICs face the problem of reducing V_{dd} . In high-performance ICs the excessive power density leads to V_{dd} lowering, where as in the other class of autonomous micro- and nano-objects the extremely high energy constrains require the electronics which is powered by deep-sub-voltage V_{dd} sources (sub-threshold-voltage circuit implementation)^[22].

$k_B T \ln 2$ per bit). In contrast, the limit energy consumed by an idealized probabilistic switch with an associated probability p can be as low as $k_B T \ln(2p)$ per bit. Analytical model for a probabilistic switch inverter yields that ϵ grows with p and the order of this growth dominates an exponential, while for a fixed p the value ϵ increases quadratically with the root-mean-square value of the noise. Parameter p can be changed by V_{dd} . Probabilistic ICs demonstrate a high efficiency in the processing of images, video-streams, audio information, etc. In each cognitive process, logical (deterministic) and probabilistic components can be distinguished. A canonical probabilistic architecture designed to operate with cognitive functions also includes two units, an economical deterministic processor and a co-processor operating under specialized probabilistic algorithms^[31]. A comparison of the efficiencies of IC architectures by the value «energy performance product» shows that a probabilistic two-processor systems are 3-500 times superior to conventional deterministic ICs in the solution of certain problems (image cognition, coding, etc.)^[31]. US Defense Department is planning to deploy embedded autonomous cognitive information systems to solve tasks on the basis of probabilistic models (Bayesian inference, probabilistic cellular automata, randomized neural networks) in the conditions of data insufficiency and inaccuracy (e.g. battlefield planning)^[32]. Probabilistic DSVN would be beyond competition under the conditions of strict limitations on energy, time and information.

Another approach to the design of noise and fault tolerant devices is to provide parallelism in the operation, redundancy and/or repeated performance of logical operations. ICs with a transistor density $\sim 10^{12}$ (50-fold component redundancy, $p_{err} = 10^{-4}$) can 90 % reliably operate for 10 years^[33]. The $V_{dd} \approx 0.27$ V gives $p_{err} = 10^{-4}$ at $T = 300$ K as it follows from the Boltzmann formula $p_{err} \approx \exp(-CV_{dd}^2/2 k_B T)$, where the capacity on a transistor gate $C = 10^{-18}$ F. The possibility of obtaining reliable information from a system containing components unreliable in operation, using probabilistic logic was first considered in^[34].

A fundamentally new approach to the problem of thermal noise was proposed in Ref. 35. It was shown that thermal noise can transfer information and can be used to create totally secure communication via a wire (a transmitter modulates statistic properties of thermal noise and a receiver decodes information from the noise). In addition, thermal noise driven computing, which uses thermal noise as a clock generator ($p_{err} \approx 0.5$, $\epsilon \approx 1.1 k_B T$ / bit), was also proposed^[35]. The importance of solving the problem of IC overheating to reach the « 10^{12} - 10^{12} » region can be illustrated by the following example. At the component density 10^{12} cm^{-2} and $\epsilon \sim 2 k_B T \ln 2 = 35 \text{ meV}$ (twofold fundamental limit^[36]) power $w \sim 250 \text{ W/cm}^2$ is to dissipate at frequencies as low as $5 \cdot 10^{10} \text{ Hz}$.

A general purpose quantum IC is inferior by ϵ to a classical IC (of comparable performance) by $\sim 10^2$ times; see Ref. 37 for more details. Estimations show^[37] that a single electron logic IC with small ϵ at 300 K would require the quantum dots with a radius less than 1 nm. In perspective, quasi-adiabatic IC could be developed^[3,38] with most of logical operations performed in a reversible mode, so that ϵ could be as small as desired. However, the prospect for future quasi-adiabatic ICs is considered as pessimistic in Ref. 39. Figure 3 shows a long-term tendency for ϵ reduction in electronics.

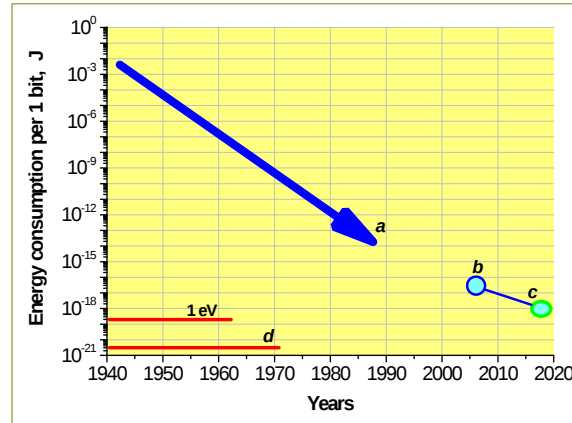


Fig. 3. The reduction of energy consumption per 1 bit processing ϵ in electronics: a) data of the year 1988^[40]; b) data from the works^[35,36]; c) prognosis for the limit for CMOS^[36]; d) fundamental J. Neumann – Landauer limit for irreversible logical switches at 300 K ($k_B T \ln 2$).

The hierarchy of levels determining the limits of energy consumption ϵ per 1 bit procession is shown in figure 4. Each level sets the limit for ϵ and the transition to a higher level multiply increases the number of possible IC-realizations. The ground level Heisenberg uncertainty principle, Boltzmann distribution and Carnot's theorem define, e.g. the minimal size and time of switching, minimal ϵ and the energy costs of cooling a nanodevice^[28,39]. For CMOS-technologies, the ϵ limit is at $V_{dd} \geq \beta k_B T / q \approx 0.1 \text{ V}$ (300 K, $\beta = 2-4$)^[38]. For DSVN devices, promising seem to be graphene nanoelectronics^[41-43], 1-D nanowire-based logical circuits^[44], transistors with a 2 nm thick channel and the ratio $I_{on}/I_{off} \sim 10^{11}$ ^[45], quantum dot array^[46], low-sub-threshold swing

tunnel transistors with $V_{dd} \approx 0.2$ V^[47,48], quantum interference effect molecular transistors^[49], integrated emitters and sensors of terahertz radiation^[50-52], nanotube-based ones included^[53], atomic switches with quantum conductivity based on solid state ionic conductors^[54], memristors^[55], etc. The nano-epitaxy method of semiconductor fabrication with a high-quality crystal structure makes it possible to combine different highly functional materials within one system^[56].

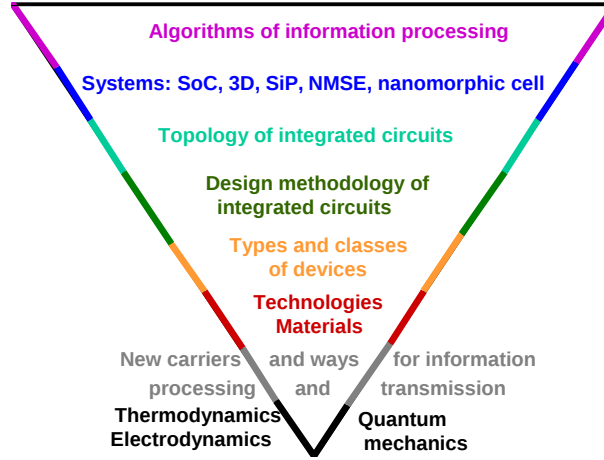


Fig. 4. Hierarchy of levels determining energy consumption per 1 bit processing.

At the level of IC design methodology, integrated digital cellular automata^[57], adaptive and defect-tolerant self-organizing, self-healing networks that implement massively parallel computations^[58], crossbar 3D and hybrid structures^[59,60] look definitely promising. At the level of systems, built-in devices, e.g. for brain-machine interfaces, large-scale distributed complex systems for health, security and environment (nano-tera networks) pose tremendous challenges in various areas of information processing, see Ref. 61 for more details. In Ref. 62, the possibility of creating «nanomorph cell» of a 10 μm characteristic size integrated at the atomic level was discussed. Such systems equipped with an energy sources^[63] should interact with living cells, analyze data (computing), and be able to exchange information. In Ref. 64 a thin-film Mach-Zehnder intensity modulator operating at 0.3 V was developed, which is an important step toward integration of DSVN and deep-sub-voltage electro-optical heterostructures. For « 10^{12} - 10^{12} » IC architectures, a critical problem is to describe closely placed nanodevices operating in the ballistic or tunnel mode because certain values of capacitance, inductance and resistance cannot be attributed to them.

In NRI^[65], major attention is concentrated on the search for novel information carriers^[66] and methods of data transfer and processing. Some works analyze the basic principles of nanodevice functioning and capacity of information channels^[67,68], determine ways to obtain transistor current characteristics below $V_g = k_B T \ln 10 / e$ (300 K) = 60 mV/decade I ^[69,70], discuss possible applications of spin waves to perform logic operations^[56], and make estimates of quantum limits for energy dissipation in spintronics. Computation is a physical process which occurs in a material subsystem (a nanotransistor) embedded in a thermostat (semiconductor crystal)^[28]. It was shown in Ref. 71 that under the conditions when a thermodynamic equilibrium between a device and a thermostat is not reached (the device sizes and the time of switching are of the order characteristic of thermal processes), the dissipated power can be smaller than in the case of the Boltzmann equilibrium distribution.

An estimate of the optimal effective mass of information carriers by the Q -factor in nanotransistors of binary logics with a gate channel length decreasing below 5 nm was made in Ref. 66. The Q -factor is the ratio of the time a device is in the state 1 or 0 (τ_{store}) to the time of transition process $1 \leftrightarrow 0$ (t_{sw}), it determine the ratio (I_{on}/I_{off}) and probability of correct performance of a logic operation.

$$Q = \frac{\tau_{store}}{t_{sw}} = \frac{h}{L_g \sqrt{2m^* E_b}} \left[\exp\left(-\frac{E_b}{k_B T}\right) + \exp\left(-\frac{2\sqrt{2E_b}}{\hbar} L_g \sqrt{m^*}\right) - \exp\left(-\frac{E_b}{k_B T}\right) \exp\left(-\frac{2\sqrt{2E_b}}{\hbar} L_g \sqrt{m^*}\right) \right]^{-1}, \quad (2)$$

where L_g is the gate length, m^* is the effective mass of information carriers, E_b is the potential barrier height, T is the temperature, k_B is the Boltzmann constant, and $h = 2\pi\hbar$ is the Plank constant ($6.6 \cdot 10^{-34}$ J s⁻¹). According to Eq. (2)^[66], silicon field effect transistors with $E_b = 0.75$ eV (high-performance ICs) cannot be used at $L_g \leq 5$ nm (Q -factor is small because of m^* smallness). However, in DSVN where $E_b \leq 0.25$ eV, silicon meets the requirements of nanotransistors fabricated with $L_g \leq 5$ nm (figure 5).

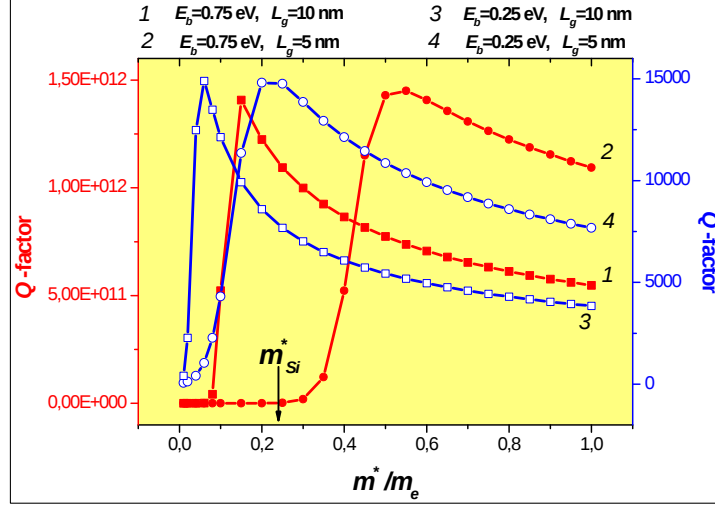


Fig. 5. Q -factor dependence on the effective mass m^* of information carriers in short channel field effect transistors. Calculated by formula (2), see Ref. 66 for more details:

- 1 - $E_b = 0.75$ eV, $L_g = 10$ nm; 2 - $E_b = 0.75$ eV, $L_g = 5$ nm;
3 - $E_b = 0.25$ eV, $L_g = 10$ nm; 4 - $E_b = 0.25$ eV, $L_g = 5$ nm.

In DSVN the portion of application-specific ICs must be large because of (i) a large number of approaches to obtaining limit values of ϵ (figure 4), (ii) a wide range of science and technological directions (micro- and nanosystem engineering, wireless networks of microsensors and microrobots, RFID, bio-medical applications, etc.) which require autonomous and energy-saving ICs of the “system on chip” type, and (iii) high-functionality of a chip of $< 1\text{mm}^2$ area at the $10^{11}\text{-}10^{12}\text{ cm}^{-2}$ component density. According to (i) and (ii), the number of chips in an application-specific series is relatively small, $\sim 10^4\text{-}10^5$ and because of (iii) 2-10 wafers of a 100-200 mm diameter would suffice to fabricate these chips. Therefore, it can be expected that mini-factories with a potential of fast resetting-up of technological processes would be in demand in DSVN. Special attention should be paid to the development of technologies for the creation of high-density (up to 10^{12} cm^{-2} double-electrode elements) crossbar structures [72] which do not require electrode layers matching with high precision and have a number of advantages in hybrid configurations with CMOS [59]. In the recent work [73], new materials for functional crossbar structures and a low cost non-lithographic patterning technique for tera-scale integration were considered.

3. High-capacity capacitors for nanoelectronics

In portable devices, surface mount capacitors stand out sharply against other electronic components because of their large size. With the development of nanoelectronics and related technologies, creation of micro-scale capacitors and impulse storage devices with high density of energy (ρ_E), capacitance (ρ_C), and power (ρ_W) has become urgent. Below, we present arguments for the benefits using of all-solid state impulse supercapacitors with fast ion transport (FIT) at functional advanced superionic conductor (AdSIC)/electronic conductor (EC) heterojunctions (nanoionic supercapacitors, NSCs) in sub-voltage and deep-sub-voltage nanoelectronics, space technique, micro(nano)systems, wireless, RFID, high-temperature electronics and some other fields. AdSICs have a crystal structure close to optimal for fast ion transport (FIT). The rigid ion sublattice of AdSIC has structure channels where mobile ions migrate. The ion-transport characteristics of AdSIC are very high: ionic conductivity $\sigma_i \approx 0.3\text{ Ohm}^{-1}\text{ cm}^{-1}$ (RbAg₄I₅, 300 K) and activation energy $E_i \approx 0.1$ eV. This determines the temperature-dependent concentration of mobile ions $n_i \sim N_i \exp(-E_i/k_B T)$ capable of migrating in conduction channels at any moment ($N_i \approx 10^{22}\text{ cm}^{-3}$, $n_i \sim 2 \cdot 10^{20}\text{ cm}^{-3}$, 300 K). Time-averaged distribution of mobile Ag⁺ ions in the channels of ionic conductivity of AdSIC (crystal structure of RbAg₄I₅) was experimentally obtained in Ref. 74.

The NSCs can be fabricated by microelectronics technologies. The values ρ_E and ρ_C of NSC are 1-2 decimal orders of magnitude higher than in conventional-type capacitors with thin films of ferroelectric ceramics, SiO₂, ZrO₂, HfO₂, etc. An inherent disadvantage of conventional capacitors is an exponential fast growth of tunnel leakage current at dielectric film thickness less than 2 nm. The frequency range of NSC operation is determined by FIT at functional AdSIC/EC heterojunctions

and has a theoretical limit of $\sim 10^{10}$ Hz (300 K), which corresponds to the frequency of jumps of mobile ions in AdSIC. High ρ_C in NSC ($V_{dd} \sim 0.5$ V) is not associated with tunnel leakage current.

3.1. Field application of sub-voltage high-capacity micro-sized capacitors

In digital electronics, currents i on internal buses of IC increase as frequencies f increase and V_{dd} decrease. Large i give rise to noise sources whose effect can be minimized by using decoupling capacitors C_{decap} . If the dissipated power is $P = 100$ W, $f = 1$ GHz and $V_{dd} = 1.4$ V, then $C_{decap} \sim 0.5$ μF [75].

$$C_{decap} > 10 P f^{-1} \cdot V_{dd}^{-2}. \quad (3)$$

At low V_{dd} the value of $di/dt \approx P \cdot f \cdot V_{dd}^{-1}$ increases on the loaders. To prevent the voltage of a noise source, determined by di/dt from increasing with respect to V_{dd} , the following steps should be taken (i), to increase the area under C_{decap} (however, this reduces the efficiency and functioning of IC) and (ii) to increase the density of capacitance δ_C ($\mu\text{F}/\text{cm}^2$) and ρ_C ($\mu\text{F}/\text{cm}^3$) of C_{decap} . For nanodevices, $1/f$ noise (with spectral density $\sim \alpha N^{-1} f^{-1}$) is a fundamental challenge (N is the number of electron carriers in a sample). In perfect epitaxial layers, the constant α is $\sim 10^{-6} - 10^{-4}$, in defect layers the constant is much higher. For example, in pMOSFET the $1/f$ noise increases by 10 to 100 times when the device size decreases from 350 to 130 nm [76]. A complex noise is filtered by several parallel-connected capacitors which differ in relaxation times τ , capacitance, inductance and equivalent resistance. Capacitors with large τ and ρ_C (δ_C) values are also used in low-frequency filters, amplifiers, seismic detectors, supply circuits, etc.

Tiny self-sustained objects of critical and advanced technologies require impulse energy and charge storage devices with high ρ_E , ρ_C and ρ_W values. Sub-voltage devices scavenged energy from the environment (light, pressure and temperature gradients, vibration, etc.) and β -radioisotope-based microgenerators together with impulse energy and charge storage devices can support long-term operation of portable consumer electronics, wireless microsensors and microrobots networks, picosputnics, RFID, implanted biomedical devices, etc. According to J. Pister, the author of «Smart Dust» conception, autonomous power sources with $V_{dd} \leq 0.5$ V would be used in digital and analog electronics of self-sustained wireless networks with nodes which posses sensor, computation, and communication functions, see Ref. 77 for more details. The incorporation of 3V lithium cells into power units would require step-down DC/DC voltage converters which should contain high-capacity capacitors.

Present-day $0.3 \times 0.3 \times 0.6$ mm RFID chips include structures transforming radio-frequency energy into a direct current. In the simplest case, such a structure is an antenna, a diode, and a reservoir-capacitor ($\delta_C \sim 0.35$ $\mu\text{F}/\text{cm}^2$) determining the operation possibilities of a RFID chip and occupying about $S = 1/4$ of total chip area. The capacitance of a RFID chip reservoir-capacitor is determined by

$$C \approx i \Delta t (V_{max} - V_{min})^{-1}, \quad (4)$$

where V_{max} and V_{min} are the limit voltage values, i is an average current on the load in the active stage of functioning, and Δt is the time of data transfer. In a future 0.5 V RFID, $\Delta V = V_{max} - V_{min}$ should be approximately 0.1 V, which radically differs from ΔV about 1 V in present-day chips. The energy radiated by a RFID-chip $C V_{max} \Delta V$ and power $C V_{max} \Delta V / \Delta t$ depend on the distance and radio-exchange protocol. If V_{max} decreases by 3 times and ΔV by 10 times, the capacitance should increase by 30 times, so that

$C V_{max} \Delta V$ product be retained, however a $\delta_C \sim 0.35$ $\mu\text{F}/\text{cm}^2$ chip has no room to accommodate the required capacitance. Most acceptable would be chip area S about 0.1, but conventional capacitors cannot afford $\delta_C \sim 50$ $\mu\text{F}/\text{cm}^2$. Operational frequencies of reservoir-capacitors are to correspond to the frequency of radio exchange. In RFID standards, these are 135 kHz, 13.56 MHz, 2.45 GHz, 860-960 MHz, etc. So, 0.5 V RFID chips require capacitors with an operation frequency in the 10^5 - 10^9 Hz range. The condition $\delta_C \sim 50$ $\mu\text{F}/\text{cm}^2$ determines the lower limit δ_C for many types of 0.5 V autonomous devices.

3.2. Modern design of micro-sized capacitors

3.2.1. Ferroelectric structures

For a plane capacitors, the voltage breakdown F_{max} , dielectric permittivity k , V_{dd} , δ_C and ρ_C are related as

$$V_{dd} \approx F_{max} (k \cdot \epsilon_0 / \rho_C)^{1/2} = F_{max} k \epsilon_0 / \delta_C, \quad (5)$$

where $\epsilon_0 = 8.85 \cdot 10^{-12}$ F m⁻¹. Therefore, devices with low V_{dd} require the development of capacitors with limiting-high ρ_C (δ_C) determined by V_{dd} and tunnel leakage current (an “inherent” disadvantage of capacitors with dielectric layer thickness d less than 2 nm). For sub-voltage electronics, promising are capacitors (i), based on dielectrics with high k (e.g. ZrO_2 , HfO_2 , $\text{La}_2\text{Hf}_2\text{O}_7$, etc.) characterized by $\delta_C \sim 2$ $\mu\text{F}/\text{cm}^2$ at $d \sim 2$ nm $V_{dd} \sim 1$ V [78-80], (ii) having trench structures (large aspect ratios), where the efficient $\delta_C \approx 3$ $\mu\text{F}/\text{cm}^2$ at the SiO_2 film thickness 4.5 nm [75] and $\delta_C > 20$ $\mu\text{F}/\text{cm}^2$ at the formation of dielectric layers with $k \approx 15 \dots 20$ [81], and (iii) based on ferroelectric ceramics, e.g. PZT ($k \approx 900$), with $\delta_C \approx 3$ $\mu\text{F}/\text{cm}^2$ [82]. In nanoionic supercapacitors (NSC) based on AdSIC, F_{max} at the functional AdSIC/EC heterojunctions (d of the atom size) can exceed 10^7

V/cm, therefore in smooth electrodes $\delta_C \sim 100 \mu\text{F}/\text{cm}^2$ ^[83]. In NSC with trench structures, the effective values of $\delta_C \sim 1000 \mu\text{F}/\text{cm}^2$. The development of ferroelectric-based capacitors ($k \sim 1000$) have shown that k decreases considerably in thin films. Multilayer ferroelectric capacitors of ultra dense surface mount in a smallest case (01005 EIA) are of $0.4 \times 0.2 \times 0.2 \text{ mm}$ size and maximum capacitance $0.01 \mu\text{F}$ at $V_{dd} = 6.3 \text{ V}$ $\rho_C \approx 1 \mu\text{F}/\text{mm}^3$ and effective $\delta_C \approx 13 \mu\text{F}/\text{cm}^2$ ^[84]. Low-frequency capacitance of epitaxial heterostructures $\text{ScRuO}_3/\text{ScTiO}_3$ is approximately $\delta_C \approx 26 \mu\text{F}/\text{cm}^2$ which differs from the nominal value $\delta_C = \epsilon_0 k / d = 160 \mu\text{F}/\text{cm}^2$ at $k=490$ and $d = 2.7 \text{ nm}$ ^[85]. In capacitors based on perovskite thin films ($5\text{--}30 \text{ nm}$), δ_C is usually equal to $12.5\text{--}2.5 \mu\text{F}/\text{cm}^2$ ($k \sim 70$) at $V_{dd} = 0.65\text{--}4.0 \text{ V}$ ^[86]. Operation at temperatures higher than 85°C is becoming conventional for small-size sources. A standard requirement to them is a guaranteed functioning of an electron component for 10 years at 125°C . Multilayer ferroelectric capacitors operate at frequencies to 10^9 Hz and provide $\rho_C \approx 3 \mu\text{F}/\text{mm}^3$ at the size $1.6 \times 0.8 \times 0.6 \text{ mm}$. Disadvantages of these capacitors are a reduction of ρ_C with increasing F and low stability of ceramics to higher temperatures and F ^[87]. So, present-day ferroelectric capacitors do not meet the requirements of ρ_C (δ_C) - V_{dd} scaling and do not suit a number of new high-tech applications related to DSVN.

3.2.2. Miniature tantalum capacitors

High-capacity tantalum capacitors can operate at temperatures to 175°C . The working voltage decreases with increasing temperature as follows: 6.3 V (85°C), 4 V (125°C), 3.2 V (150°C), and 2.1 V (175°C). Their capacity decreases in the range $10^3\text{--}10^4 \text{ Hz}$. When a 01005 case is used instead of a 3216 one, ρ_C decreases by $5\text{--}10$ times (down to $\rho_C \approx 0.17\text{--}0.08 \mu\text{F}/\text{mm}^3$). This effect is also characteristic of ferroelectric miniature capacitors.

3.2.3. Capacitors on the basis of nanodielectrics with $k \sim 10^7\text{--}10^{10}$.

A number of works (see Refs. 88 and 89 for more details) present experimental data on capacitors with nanodielectrics which are reportedly characterized by gigantic $k \sim 10^7\text{--}10^{10}$ and a large potential in energy storage^[89-91]. The analysis of the data does not support the expectations. In a plane capacitor, the surface charge density δ_Q on atomically smooth electrodes is limited by $\delta_{Q_{\max}} \sim 1.5 \cdot 10^{-4} \text{ C}/\text{cm}^2$ (an ion charge of one sign on crystallographic planes with small indices, the concentration $n \approx 10^{15} \text{ cm}^{-2}$). The value $\delta_{Q_{\max}}$ cannot be exceeded because at $\delta_{Q_{\max}}$ the electric field $F_{\max} \approx 2 \cdot 10^9 \text{ V}/\text{cm}$ ($k=1$) has the energy $\rho_E = \epsilon_0 F_{\max}^2 / 2 \approx 170 \text{ kJ}/\text{cm}^3$ which is several times large than the standard enthalpy of chemical compound formation (e.g. $\Delta H_{\text{NaCl}} \approx 411 \text{ kJ}/\text{mol}$). Thus,

$$k \cdot F \leq \delta_{Q_{\max}} / \epsilon_0 \approx 1.5 \cdot 10^9 \text{ V}/\text{cm}, \quad (6)$$

where $F = V/d$ and V is the voltage on electrodes. According to Eq. (6), at $k \sim 10^7\text{--}10^{10}$ the maximum permissible value of $F_{\max}$ in a nanodielectric must be small ($10^2\text{--}10^{-1} \text{ V}/\text{cm}$) as compared to the breakdown field in ordinary dielectrics ($\approx 2 \cdot 10^6 \text{ V}/\text{cm}$). In the zero electrode thickness approximation, the maximum energy density in plane capacitors is

$$\rho_E \sim \epsilon_0 k F_{\max}^2 / 2. \quad (7)$$

At $k \cdot F_{\max} \approx \delta_{Q_{\max}} / \epsilon_0$, Eq. (7) can be written as

$$\rho_E < \sim \delta_{Q_{\max}} F_{\max} / 2, \quad (8)$$

where $F_{\max} \sim 10^2\text{--}10^{-1} \text{ V}/\text{cm}$. This shows that the expectations concerning the application of nanodielectrics with gigantic dielectric permittivity for energy storage are groundless.

3.2.4. Supercapacitors on the basis of liquid electrolytes.

The possibility of using mobile ions for storing charge and energy has been realized in devices with a double electric layer, called supercapacitors. In the case of liquid electrolytes, electrodes with a large internal surface can provide $\rho_C \sim 1000 \mu\text{F}/\text{mm}^3$ ($\delta_C \sim 15 \mu\text{F}/\text{cm}^2$ per the internal surface area^[92]), but the frequencies of device operation are low and the design of the devices is incompatible with vacuum technologies.

3.3. Supercapacitors on the basis of advanced superionic conductors (AdSICs)

Record high capacity-frequency characteristics can be obtained using coherent advanced superionic conductor (AdSIC)/electronic conductor (EC) heterojunctions^[93]. The general classification of solid state ionic conductors according to their ion-electron conductivities (σ_i - σ_e) is presented in Fig. 6^[83]. The boundary of the 7-8 area determines the upper limit of σ_i values for hypothetic AdSIC. By definition, these ionic conductors should have $E_i \approx k_B T$ (300 K), which is to give $\sigma_i \sim 2 \text{ Ohm}^{-1} \text{ cm}^{-1}$ (mobile Ag^+ -ions) at 300 K and $\sigma_i \sim 8 (20) \text{ Ohm}^{-1} \text{ cm}^{-1}$ for mobile Li^+ (H^+) ions.

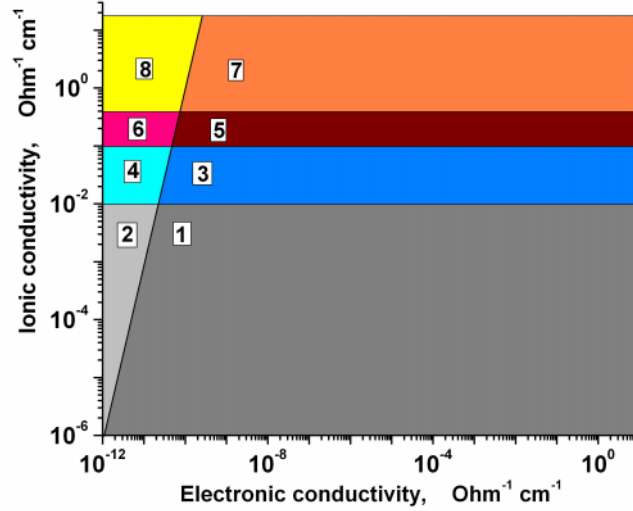


Fig. 6. Classification of solid state ionic conductors in the $\lg\sigma_i - \lg\sigma_e$ coordinates ($\text{Ohm}^{-1} \text{cm}^{-1}$) ^[83].

2, 4 and 6 – known solid electrolytes (SE), materials with $\sigma_i \gg \sigma_e$;

1, 3, and 5 – known mixed ion-electron conductors;

3 and 4 – superionic conductors (SIC), i.e. materials with $\sigma_i > 0.001 \text{ Ohm}^{-1} \text{cm}^{-1}$, σ_e – arbitrary value;

4 – SIC and simultaneously SE, $\sigma_i > 0.001 \text{ Ohm}^{-1} \text{cm}^{-1}$, $\sigma_i \gg \sigma_e$;

5 and 6 – advanced superionic conductors (AdSIC), where

$\sigma_i > 10^{-1} \text{ Ohm}^{-1} \text{cm}^{-1}$ (300 K), $E_i \approx 0.1 \text{ eV}$, σ_e – arbitrary value;

6 – AdSIC and simultaneously SE, $\sigma_i > 10^{-1} \text{ Ohm}^{-1} \text{cm}^{-1}$,

$E_i \approx 0.1 \text{ eV}$, $\sigma_i \gg \sigma_e$;

7 and 8 – hypothetical AdSIC with $E_i \approx k_B T \approx 0.03 \text{ eV}$ (300 K);

8 – hypothetical AdSIC and simultaneously SE.

The RbAg_4I_5 family includes a number of AdSIC-SEs with Cu^+ or Ag^+ mobile ions. Some of these compounds are thermodynamically stable around room temperature ($\alpha\text{-RbAg}_4\text{I}_5$, $\text{CsAg}_4\text{I}_{2-x}\text{I}_{3+x}$, $\text{RbCu}_4\text{Cl}_3\text{I}_2$, etc.) but the majority of them are stable at higher temperatures (50-120 °C). AdSIC-SE-based supercapacitors have already been developed for several decades (their radiation stability can be very high), however, the δ_C of their heterojunctions (with arbitrary, structure-uncontrolled AdSIC/EC heteroboundaries) is $10^2 - 10^1 \text{ } \mu\text{F}/\text{cm}^2$ at frequencies $10^{-2} - 10^3 \text{ Hz}$. Low operation frequencies of AdSIC/EC heterojunctions and, hence, low ρ_W of supercapacitors are the result of fast ion transport violation in molecular-thin layer at the AdSIC/SE heteroboundaries. The product of maximum operation frequency f_{max} of AdSIC/EC heterojunction by δ_C is a generalized characteristic of capacity and frequency parameters. For typical heterojunctions, e.g. $\text{RbAg}_4\text{I}_5/\text{Pt}$ ^[94], this product $f_{\text{max}} \cdot \delta_C$ is $\sim 1 - 10^4 \text{ Hz } \mu\text{F}/\text{cm}^2$. For heterojunctions with liquid electrolytes, the $f_{\text{max}} \cdot \delta_C$ product is of the same order of magnitude. Research and development in nanoionics of AdSIC, a new science and technological field, have been carried on at the Institute of Microelectronics Technology RAS for several years ^[93]. The object of these investigations is nano- and microstructures based on AdSIC. AdSIC/EC heterojunctions are key functional structures in all-solid-state supercapacitors. Therefore the major approach to AdSIC nanoionics is to retain the concentration and potential barrier heights to mobile ion jumps on heteroboundaries at the level of those in AdSIC volume.

4. Nanoionic supercapacitors

High values of $f_{\text{max}} \cdot \delta_C$ on AdSIC/EC heterojunctions can be obtained under certain conditions. These are (i) to form an atomically clear and sharp AdSIC/EC contact, (ii) to provide small disordering of the structure in an AdSIC layer adjacent to EC, which can be realized on the AdSIC/EC coherent boundaries, and (iii), to provide a certain combination and mutual arrangement of crystal symmetry elements of the AdSIC/EC heteroboundary and symmetry elements of fast ion transport channels in the AdSIC structure. To this end, methods of crystallochemical design of AdSIC/EC heteroboundaries were employed see Refs. 93 and 95. AdSIC/EC heterostructures (prototypes of NSC) were developed and synthesized with $\delta_C \approx 100 \text{ } \mu\text{F}/\text{cm}^2$ and f_{max} up to 10^6 Hz (record high values of the product $f_{\text{max}} \cdot \delta_C \sim 10^8 \text{ Hz } \mu\text{F}/\text{cm}^2$) ^[83].

Frequency-capacity characteristics were registered by comparing “charge-discharge” oscillograms for an experimental two-electrode cell and a standard capacitor ^[83]. The Π -impulses of an external voltage were applied to a circuit consisting of the

experimental cell (or a standard capacitor) and a ballast resistor R connected in series. The experimental cell of $\approx 0.0036 \text{ mm}^3$ volume (ultra dense surface mount component in the smallest case 01005 EIA has the volume $\approx 0.016 \text{ mm}^3$) had thin film electrodes of the total area $\approx 0.08 \text{ mm}^2$ ($0.04 \text{ mm}^2 + 0.04 \text{ mm}^2$). The cell thickness was $\approx 0.03 \text{ mm}$, the area of the cell footprint on the Si-substrate $\approx 0.12 \text{ mm}^2$. Voltage changes during “charge-discharge” processes in the experimental cell and the standard capacitor are shown in Fig. 7. Changes in the charge (discharge) time were set by the ballast resistor R . The effective δ_C in the experimental cell is $\approx 1 \text{ } \mu\text{F}/\text{mm}^2$ ($100 \text{ } \mu\text{F}/\text{cm}^2$) at frequencies to $\leq 10^6 \text{ Hz}$ (Fig. 7) and the power density $\rho_W \approx 0.3 \text{ W}/\text{mm}^3$ ($3 \cdot 10^2 \text{ W}/\text{cm}^3$). This is 3 times large than in those massive supercapacitors which have distributed carbon electrodes impregnated with a liquid electrolyte (volume $\sim 1 \text{ cm}^3$, $V_{dd} \approx 2.5 - 2.7 \text{ V}$, operation frequencies not higher than $f_{max} < 10^3 \text{ Hz}$). The energy density ρ_E in the cell is $\approx 10^{-4} \text{ J}/\text{mm}^3$ ($10^{-1} \text{ J}/\text{cm}^3$). This is 36 times smaller than in massive supercapacitors where the product $\rho_W \cdot \rho_E \sim 4 \cdot 10^2 \text{ J}^2/\text{s cm}^6$ (in the cell, this product is 10 times smaller). However, the volume can be reduced by 10 times with the stored energy and generated power retained at the same level by changing the cell design. As a result, the product $\rho_W \cdot \rho_E$ could exceed that in massive supercapacitors by ≈ 10 times at a volume of $\approx 0.0004 \text{ mm}^3$.

Experiments with a $\approx 0.0036 \text{ mm}^3$ cell showed ^[83] that (i) effective capacitance density δ_C depends rather weakly on f up to frequencies $\approx 10^6 \text{ Hz}$, (ii) the cell can operate for a long time at $70 - 170^\circ \text{C}$, and (iii) $\delta_C \approx 1 \text{ } \mu\text{F}/\text{mm}^2$, $\rho_C > 10 \text{ } \mu\text{F}/\text{mm}^3$, $\rho_W \approx 0.3 \text{ W}/\text{mm}^3$, and $\rho_E \approx 10^{-4} \text{ J}/\text{mm}^3$ can be obtained at frequencies $\approx 10^6 \text{ Hz}$. So, film impulse capacitors based on AdSIC are promising devices for deep-sub-voltage nanoelectronics and related technologies.

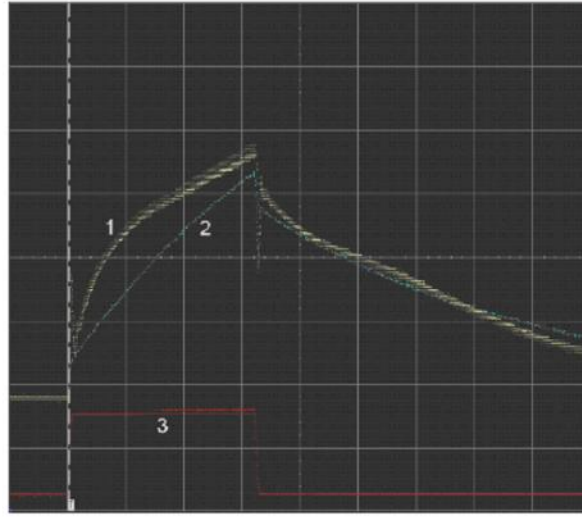


Fig. 7. Time dependence of the voltage (horizontal scale $1 \text{ } \mu\text{s}/\text{div}$) during the charge-discharge process in the two-terminal experimental cell and the $0.047 \text{ } \mu\text{F}$ capacitor through the ballast resistor $R=100 \text{ Ohm}$: 1) cell at 155°C ; 2) $0.047 \text{ } \mu\text{F}$ capacitor connected in series to the resistor $r=10 \text{ Ohm}$ (vertical scale $100 \text{ mV}/\text{Div}$; 3) voltage from an external generator (vertical scale $500 \text{ mV}/\text{div}$) for the cases (1) and (2) ^[83].

Below a model for large δ_C on the heterojunction AdSIC/EC is presented. It is based on three assumptions (i) the formation of an atomically sharp AdSIC/EC heteroboundary, (ii) EC wave function penetration into AdSIC with the formation of charge distribution equivalent to an atomically thin double electric layer by capacity, and (iii) strong shift polarization effect (large values of permittivity k) of mobile ions of AdSIC. Now consider the (i)-(iii) assumption in detail.

It is known that metal-induced gap states exist on an atomically ordered alkali halide crystal (AHC)/metal (Cu,Ag) heteroboundary, see Refs. 96 and 97 for more details. These states are due to a quantum-mechanical proximity effect between a metal and AHC. The penetration depth of states in AHC (l_p) depends on the halide. The values of l_p increase with a decrease of the AHC band gap and are $0.3 - 0.4 \text{ nm}$. This mainly concerns $\text{F} \rightarrow \text{Cl} \rightarrow \text{Br} \rightarrow \text{I}$ substitutions in the AHCs. The formation of metal induced gap states on the insulator (semiconductor) heteroboundary is a common-place event ^[98]. According to Ref. 99, there exist metal induced gap states of the conductivity band character (electron density transfer from a metal to an insulator) and states of the valence band character (electron density transfer from an insulator to a metal). The penetration of electron density into AdSIC (e.g. RbAg_4I_5) can cause the redistribution of electron density and formation the layer with opposite charge separation $\sim l_p$ thick. The electric field (positive sign of potential on EC) in this layer would polarize AdSIC at the interface.

In an external electric field, polarization in crystals with an ionic character of chemical bonding depends on the values of ion displacements from equilibrium positions. These displacements depend on the parameters of a crystal potential relief (coordinate derivative of the crystal potential). In AHC the potential well depth for ions is $\sim 3 \text{ eV}$, which limits permittivity k to ≈ 5 . In AdSIC RbAg_4I_5 -family, the potential wells for mobile ions Ag^+ and Cu^+ are $\sim 0.1 \text{ eV}$ deep. Therefore, k values in AdSIC

should be significantly greater than in AHCs. This gives $k \sim 50$ for AdSIC, which agrees with the data Ref. 100. Note, that ferroelectric polarization in BaTiO₃ ($\delta_Q \sim 2.5 \cdot 10^{-5}$ C/cm², $k \sim 5000$, elementary cell parameter ≈ 0.4 nm) arises at an ion displacement by ~ 0.02 nm [101], which is 10 times smaller than a supposed thickness of the double layer on the AdSIC/EC heteroboundary. A plane capacitor with the electrode separation $l_p \sim 0.2-0.3$ nm and $k \sim 50$ has $\delta_C \sim \epsilon_0 k/l_p > 100$ $\mu\text{F}/\text{cm}^2$, which agrees with the experimental data Ref. 83.

In the last few years the performance of INTEL processors mainly rises due to an increase in the component density rather than to an increase in the clock frequency (overheating of ICs, see the figure 1b in Ref. 26). It was noted in Ref. 102 that the operation frequency of ICs with the component density 10^{12} cm⁻² and $V_{dd} \sim 0.5$ V would be $\sim 10^7$ Hz unless the problem of thermal overheating of ICs is solved. It follows that the upper limit of time permissible for dielectric relaxation processes on AdSIC/EC functional heterojunctions may be $\sim 10^{-7}$ s in DSVN, which would facilitate the creation of devices on the basis of AdSIC. The chemical composition and crystal structure at the AdSIC/EC heterojunctions should be regarded as additional “fields” determining the k value and ion-transport characteristics in nanoionic devices (nanodevices with fast ion transport). Crystal engineering methods and self-organization principles in AdSIC nanosystems (see Refs. 93 and 95 for more details) can become the basis for the creation of capacitors with record high frequency-capacity characteristics.

The figure of merit of an IC planar design is the flop rate per unit area, i.e. the transistor switching frequency and component density product. Reservoir capacitors shrink chip area available for logic and memory. Therefore, the order of NSC market cost magnitude can be evaluated by the following formula:

$$V_{NSC} = \sum N_{IC}^j \cdot A_{IC}^j \cdot S, \quad (9)$$

where V_{NSC} is the NSC gross cost, j is the market sector index, N_{IC}^j is the number of IC produced, A_{IC}^j is an average price of one IC, and S is an average fraction of the IC area taken by NSC. For example, in the RFID sector, the reservoir capacitor of the power unit in modern IC takes approximately $\frac{1}{4}$ of the area, therefore $S \approx 0.25$ according to Eq. (9). The prognosis of Ref. 103 for the period 2006-2016 says that the RFID market would increase by 10 times to cost $N_{IC}^R \cdot A_{IC}^R \sim \$ 26 \cdot 10^9$.

5. Conclusion

Phenomena, properties, effects, mechanisms of processes and applications connected with fast ion transport in all-solid state nano-objects and nanosystems are a subject matter of nanoionics [93, 104, 105] which has areas intersecting with nanoelectronics and related technologies. Functional elements with fast ion transport at a nanoscale exist in nanoionic supercapacitors and lithium and fuel cells (nanostructured electrodes) [106]. Switches on the basis of solid state ionic conductors realizing quantum conductance are nanoionic devices [107-109]. ITRS [7] relates the resistive ionic crossbar memory [107-109] to a category of «emerging research devices». By V_{dd} , nanoionic heterostructures and devices are well suited to a future deep-sub-voltage nanoelectronics and can find unexpected applications. For example, a strong electric field exceeding 10^7 V/cm can be easily sustained at the interface AdSIC/semiconductor and this effect can be used for efficient modulation of current flow in the channel of future field effect transistors operating at frequencies of approximately 10^7 Hz (ICs with component densities up to 10^{12} cm⁻²).

At present, the vision of future nanoelectronics, constrained solely by fundamental ultimate limits, is being formed in advanced researches, Refs. 29, 39 and 110. Ultimate physical limits to computation [111] are very far off from the present-day attained « 10^{10} - 10^{10} » region. What kind of logic switches might be used at the near nm- and sub-nm peta-scale integration? The question was already under consideration in the work [112] where the term “nanoelectronics” (Bate R. T., Reed M. A., Frazier G.A. and Frensley W. R., 1987-1989) was not used yet. Quantum mechanics constrains electronic distinguishable configurations by the tunneling effect at the tera-scale. To overcome the 10^{12} cm⁻² bit density limit, atomic and ion configurations with a characteristic dimension of $L < 2$ nm should be used in the information domain and the materials with an effective mass of information carriers m^* considerably large than electronic one are required, $m^* = 13m_e$ at $L = 1$ nm, $m^* = 53m_e$ ($L = 0.5$ nm) and $m^* = 336m_e$ ($L = 0.2$ nm) [66]. Future ultimate short-sized devices may well be nanoionic, i.e. based on the fast ion transport at the nanoscale, as it was first proposed in [105]. Memristors [55, 113], hybrid devices that rely on the movement of both electrons and ions and exploiting both classical and quantum charge transport [114], are a step towards future deep-sub-voltage nanoionics.

In conclusion, we would like to cite philosophical view related to nano-world: «The natural scaling process has already led us to the realm of nanotechnology and nanoelectronics where both difficult technical challenges and golden opportunities co-exist» [6].

Acknowledgments

The authors would like to thank V.V. Zhirnov and R.K. Cavin for the preprints of works on the «nanomorph cell».

References

1. R.T. Bate, G.A. Frazier, W.R. Frensley and M.A. Reed, *Texas Instrument Technical Journal: Special Issue on Nanoelectronics* **6**, #4, 13 (1989).
2. J.H. Luscombe and W.R. Frensley, *Nanotechnology* **1**, 131 (1990).
3. M.P. Frank, *Quantum Information Processing* **4**, 283 (2005).
4. J. Gruska, *Natural Computing* **6**, 75 (2007).
5. J.N. Randall, M.A. Reed and G.A. Frazier, *J. Vac. Technol.B* **7**, 1398 (1989).
6. R. Chau, B. Doyle, S. Datta, J. Kavalieros and K. Zhang, *Nature Materials* **6**, 810 (2007).
7. <http://www.itrs.net/home/html>
8. P. Tsipas, S. N. Volkos, A. Sotiropoulos, S. F. Galata, G. Mavrou, D. Tsoutsou, Y. Panayiotatos, A. Dimoulas, C. Marchiori and J. Fompeyrine, *Appl. Phys. Lett.* **93**, 082904 (2008).
9. E.-H. Toh, G.H. Wang, L. Chan, G. Samudra and Y.-C. Yeo, *Semicond. Sci. Technol.* **23**, 015012 (2008).
10. S. Xin, L. Qiang, V. Moroz, H. Takeuchi, G. Gebara, J. Wetzel, S. Ikeda, C. Shin and Tsu-Jae King Liu, *IEEE Electron Device Lett.* **29**, 491 (2008).
11. G.P. Lansbergen, R. Rahman, C.J. Wellard, I. Woo, J. Caro, N. Collaert, S. Biesemans, G. Klimeck, L.C.L. Hollenberg and S. Rogge, *Nature Physics* **4**, 656 (2008).
12. K. Natoti and N. Sano, *J. Appl. Phys.* **83**, 5019 (1998).
13. R. K. Cavin and V. V. Zhirnov, Morphic architectures: Atomic-level limits, *Mater. Res. Soc. Symp. Proc. Materials and Devices for "Beyond CMOS" Scaling* (2008), **1067E** pp. B01-02.
14. M. Asada, *Photonic Based on Wavelength and Manipulation*, eds. K. Tada, T. Suhara, K. Kikuchi, Y. Kokubun, K. Utaka, M. Asada, F. Koyama and T. Arakawa, Book 2 (IPAP Books, Tokyo, 2005), pp. 113-126.
15. M.-E. Hwang, A. Raychowdhury, K. Kim and K. Roy, A 85 mV 40 nW process-tolerant subthreshold 8x8 FIR filter in 130 nm technology, *Proc. IEEE Symp. VLSI Circuits* (2007), pp. 154–155.
16. N. Verma, J. Kwong and A. P. Chandrakasan, *IEEE Trans. Electron Devices* **55**, 163 (2008).
17. T.-H. Kim, J. Liu, J. Keane and C. H. Kim, *IEEE J. Solid-State Circuits* **43**, 518 (2008).
18. H. Kaul, M. Anders, S. Mathew, S. Hsu, A. Agarwal, R. Krishnamurthy and S. Borkar, A 320mV 56μW 41GOPS/Watt ultra-low-voltage motion-estimation accelerator in 65nm CMOS, *Int. Solid State Circuits Conf.* (2008), pp. 316-317.
19. J. Kwong, Y. Ramadass, N. Verma, M. Koesler, K. Huber, H. Moormann and A. Chandrakasan, A 65nm sub- V_t microcontroller with integrated SRAM and switched-capacitor DC-DC converter, *Int. Solid State Circuits Conf.* (2008), pp. 318-319.
20. N. Stanic, A. Bulankutty, P. Kinget and Y. Tsividis, *IEEE J. Solid-State Circuits* **43**, 1138 (2008).
21. J. Shen and P. Kinget, *IEEE J. Solid-State Circuits* **43**, 787 (2008).
22. L. Nazhandali, B. Zhai, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, T. Austin and D. Blaauw, Energy optimization of subthreshold-voltage sensor network processor, *32nd Int. Symp. on Computer Architecture* (2005), pp. 197-207.
23. A. L. Despotuli and A. V. Andreeva, *Integral* **1**, 6; **2**, 16; **4**, 10 (2008) (in Russian).
24. A. L. Despotuli and A. V. Andreeva, Applied nanoionics of advanced superionic conductors, *3rd Int. Conf. on Micro-Nanoelectronics, Nanotechnology & MEMs* (2007), p. 64.
25. http://en.wikipedia.org/wiki/Deep-sub-voltage_nanoelectronics
26. B. Nikolic, *IEEE Trans. Electron Devices* **55**, 71 (2008).
27. S.-C. Lin and K. Banerjee, *IEEE Trans. Electron Devices* **55**, 245 (2008).
28. G. F. Cerofolini, *Appl. Phys. A.* **86**, 23 (2007).
29. L.B. Kish, *Phys. Lett. A.* **305**, 144 (2002).

30. B. Zhai, D. Blaauw, D. Sylvester and K. Flautner, Theoretical and practical limits of dynamic voltage scaling, *Proc. Design Automation Conf.* (2004), pp. 868-873.
31. L. N. B. Chakrapani, Z. J. George, B. Marr, B. E. S. Akgul and K. V. Palem, *VLSI-SoC: research trends in VLSI and systemson chip*, (Springer, Boston, 2008), pp. 101-118.
32. B. E. S. Akgul, L. N. Chakrapani and K. V. Palem, Probabilistic CMOS technology for cognitive information processing, *High Performance Embedded Computing Workshop* (2006).
33. A. S. Sadek, K. Nikolie and M. Forshaw, *Nanotechnology* **15**, 192 (2004).
34. J. Neumann, *Automata Studies*, eds. C. E. Shannon and J. McCarthy (Univ. Press NJ, Princeton, 1954), pp. 43-98.
35. L. B. Kish, *Appl. Phys. Lett.* **89**, 144104 (2006).
36. R. K. Cavin, V. V. Zhirnov, D. J. C. Herr, A. Avila and J. Hutchby, *J. Nanoparticle Research* **8**, 841 (2006).
37. L. B. Kish *IEEE Proc. Circuits Devices Syst.* **151**, 190 (2004).
38. J. Meindl, *Proc. IEEE* **83**, 619 (1995).
39. R. K. Cavin and V. V. Zhirnov, *Solid-State Electronics* **50**, 520 (2006).
40. R. W. Keyes, *IBM J. Res. Develop.* **44**, 84 (2000).
41. D.A. Areshkin and C. T. White, *Nano Lett.* **7**, 3253 (2007).
42. M. Lin and P. Avouris, *Nano Lett.* (2008).
43. X. Wang, Y. Ouyang, X. Li, H. Wang, J. Guo and H. Dia, *Phys. Rev. Lett.* **100**, 206803 (2008).
44. R.-M. Ma, L. Dai, H.-B. Huo, W.-J. Xu and G. G. Qin, *Nano Let.* **7**, 3300 (2007).
45. X. Guo and S. R. P. Silva, *Science* **320**, 618 (2008).
46. C. S. Lent, M. Liu and Y. Lu, *Nanotechnology* **17**, 4200 (2006).
47. Q. Zhang, W. Zhao and A. Sebaugh, *IEEE Electron Device Let.* **27**, 297 (2006).
48. C. Hu, D. Chou, P. Patel and A. Bowonder, Green transistor– a V_{dd} scaling path for future low power ICs, *Int. Symp. on VLSI Technology, Systems and Applications* (2008), pp. 14-15.
49. C. A. Stafford, D. M. Cardamone and S. Mazumdar, *Nanotechnology* **18**, 424014 (2007).
50. M. Tonouchi, *Nature Photonics* **1**, 97 (2007).
51. R. Tauk, F. Teppe, S. Boubanga, D. Coquillat, W. Knap, Y. M. Meziani, F. Boeuf, T. Skotnicki, C. Fenouillet-Beranger, D. K. Maude, S. Rumyantsev and M. S. Shur, *Appl. Phys. Lett.* **89**, 253511 (2006).
52. F. Teppe, A.El. Fatimy, S. Boubanga, D. Seliuta, G. Valusis, B. Chenaud and W. Knap, *Acta Phys. Polonica A.* **113**, 815 (2008).
53. O. V. Kibis, M. Rosenau-da Costa and M. E. Portnoi, *Nano Lett.* **7**, 3414 (2007).
54. R. Waser and M. Aono, *Nature Materials* **6**, 833 (2007).
55. D. B. Strukov, G. S. Snider, D. R. Stewart and R. S. Williams, *Nature* **453**, 80 (2008).
56. K. L. Wang, K. Galatsis, R. Ostroumov, A. Knitun, Z. Zhao and S. Han, *Proc. IEEE.* **96**, 212 (2008).
57. V. Zhirnov, R. Cavin, G. Leeming and K. Galatsis, *Computer* **41**, 38 (2008).
58. G. S. Snider, *Nanotechnology* **18**, 365202 (2007).
59. K. K. Likharev, *J. Vacuum Sci. & Tech. B.* **25**, 2531 (2007).
60. C. Dong, D. Chen, S. Tanachutiwat and W. Wang, Performance and power evaluation of a 3D CMOS/nanomaterial reconfigurable architecture, *IEEE /ACM Int. Conf. on Computer-Aided Design* (2007), pp. 758-64.
61. [www. nano-tera.ch/index.html](http://www.nano-tera.ch/index.html)
62. V. V. Zhirnov and R. K. Cavin, Internal SRC working paper on Nanomorphic Systems
63. Y. Qin, X. Wang and Z. L. Wang, Microfibre–nanowire hybrid structure for energy scavenging *Nature* **451**, 809 (2008).
64. J. Shin, Y.-C. Chang and N. Dagli, *Appl. Phys. Lett.* **92**, 201103 (2008).
65. J. J. Welser, G. I. Bourianoff, V. V. Zhirnov and R. K. Cavin, *J. Nanoparticle Research* **10**, 1 (2008).

66. V. V. Zhirnov and R. K. Cavin, *ECS Trans.* **11**, 17 (2007).
67. Yu. N. Zaiko, *Technical Phys. Lett.* **31**, 796 (2005).
68. Yu. N. Zaiko, *Technical Phys. Lett.* **32**, 972 (2006).
69. S. Salahuddin and S. Datta, *Nano Lett.* **8**, 405 (2008).
70. E.-H. Toh, G. H. Wang, D. Weeks, M. Zhu, M. Bauer, J. Spear, L. Chan, S. G. Thomas, G. Samudra and Y.-C. Yeo, P-Channel I-MOS transistor featuring silicon nano-wire with multiple-gates, Si1-yCy I-region, in situ doped Si1-yCy source, and sub-5 mV/decade subthreshold swing, *Int. Symp. VLSI Technology, Systems and Applications* (2008), pp. 24-25.
71. D. E. Nikonov, G. I. Bourianoff and P. A. Gargini, *J. Superconduc. Novel Magn.* **19**, 497 (2006).
72. J. E. Green, J. W. Choi, A. Boukai, Y. Bunimovich, E. Johnston-Halperin, E. DeIonno, Y. Luo, B. A. Sheriff, K. Xu, Y. S. Shin, H.-R. Tseng, J. F. Stoddart and J. R. Heath, 2007 *Nature* **445**, 414 (2007).
73. G. F. Cerofolini, P. Amato and E. Romano, *Semicond. Sci. Technol.* **23**, 075020 (2008).
74. S. Hull, *Rep. Prog. Phys.* **67**, 1233 (2004).
75. C. T. Black, K. W. Guarini, Y. Zhang, H. Kim, J. Benedict, E. Sikorski, I. V. Babich and K. R. Milkove, *EEE Electron Device Lett.* **25**, 622 (2004).
76. W. Chew, K. S. Yeo and S.-F. Chu, *Solid-State Electronics* **48**, 1101 (2004).
77. www.dustnetworks.com
78. E. P. Gusev, V. Narayanan and M. M. Frank, *IBM J. Res. Dev.* **50**, 387 (2006).
79. F. Wei, H. Tu, Y. Wang, S. Yue and J. Du, *Appl. Phys. Lett.* **92**, 012901 (2008).
80. N. K. Karan, J. J. Saavedra-Arais, M. Peres, R. Thomas and R.S. Katiyar, *Appl. Phys. Lett.* **92**, 012903 (2008).
81. J. Klootwijk, A. Kemmeren, R. Wolters, F. Roozeboom, J. Verhoeven and E. Heuvel, *NATO Science Series II: Mathematics, Physics and Chemistry* **220**, 17 (2006).
82. www.st.com/stonline/press/news/year2005/t1701d.htm
83. A. L. Despotuli, A. V. Andreeva and V. V. Aristov, *J. Nano and Microsystem Technique* **11**, 38 (2007) (in Russian).
84. T. Hisaki, *AEI* **5**, 43 (2004).
85. M. Stengel and N. A. Spaldin, *Nature* **443**, 679 (2006).
86. J. Y.Jo, Y. S.Kim, D. H.Kim, J. D.Kim, Y. J.Chang, J. H.Kong, Y. D.Park, T. K.Song, J.-G.Yoon, J. S. Jung and T. W. Noh, *Thin Solid Films* **486**, 149 (2005).
87. S. Tsubota, *AEI* **12**, 41 (2005).
88. S. K. Saha and D. Chakravorty, *Appl. Phys. Lett.* **89**, 043117 (2006).
89. S. K. Saha, M. DaSilva, Q. Hang, T. Sands and D. B. Janes, *Nanotechnology* **17**, 2284 (2006).
90. Y. Cao, P. C. Irwin and K. Younsi, *IEEE Trans. on Dielectrics and Electrical Insulation* **11**, 797 (2004).
91. ww.acq.osd.mil/osbp/sbir/solicitations/sttr06/af06.htm
92. J. Chmiola, G. Yushin, Y. Gogotsi, C. Portet, P. Simon and P. L. Taberna, *Science* **313**, 1760 (2006).
93. A. L. Despotuli, A. V. Andreeva and B. Rambabu, *Ionics* **11**, 306 (2005).
94. F. A. Karamov, Superionic conductors. Heterostructures and elements of functional electronics (Science press, Moscow, 2002).
95. A. V. Andreeva and A. L. Despotuli, *Ionics* **11**, 152 (2005).
96. M. Kiguchi, G. Yoshikawa, S. Ikeda and K. Saiki, *Phys. Rev. B* **71**, 153401 (2005).
97. R. Arita, Y. Tanida, K. Kuroki and H. Aoki, *Phys. Rev. B.* **69**, 115424 (2004).
98. J. Tersoff, *Phys. Rev. Lett.* **52**, 465 (1984).
99. C. Noguera and G. Bordier, *J. Phys. III France* **4**, 1851 (1994).
100. A. Rakitin and M. Kobayashi, *Phys. Rev. B.* **49**, 11789 (1994).
101. A. I. Frenkel, Y. Feldman, V. Lyahovitskaya, E. Wachtel and I. Lubomirsky, *Phys. Rev. B.* **71**, 024116 (2005).

102. R. Stadler, D. Crawley, K. Nikolic and M. Forshaw, *Nanotechnology* **15**, S220 (2004).
103. www.idtechex.com
104. <http://en.wikipedia.org/wiki/Nanoionics>
105. A. L. Despotuli and V. I. Nikolaichik, *Solid State Ionics* **60**, 275 (1993).
106. J. Maier, *Nature Materials* **4**, 805 (2005).
107. N. Banno, T. Sakamoto, N. Iguchi, H. Kawaura, S. Kaeriyama, M. Mizuno, K. Terabe, T. Hasegawa and M. Aono, *IEICE Trans. Electr.* **E89-C(11)**, 1492 (2006).
108. R. Waser and M. Aono, *Nature Materials* **6**, 833 (2007).
109. J. A. Nessel, R. Q. Lee, C. H. Mueller and M. N. Kozicki, A novel nanoionic-based switch for microwave applications, *Int. Microwave Symposium* (2008) p.TH4E-01.
110. G. F. Cerofolini, *Appl. Phys. A* **91**, 181 (2008).
111. S. Lloyds, *Nature* **406**, 1047 (2000).
112. A. Chiabrera, E. D. Zitti, F. Costa and G. M. Bisio, *J. Phys. D.* **22**, 1571 (1989).
113. J. J. Yang, M. D. Picket, X. Li, Ohlberg, D. R. Steward and R. S. Williams, *Nature Nanotechnology* **3**, 429 (2008).
114. V. V. Zhirnov and R. K. Cavin, *Nature Nanotechnology* **3**, 377 (2008).

Основное содержание работы опубликовано в журналах «Интеграл» №1, №2 и №4 (2008), «Нано- и микросистемная техника» №10 (2008) и «Наноиндустрия» №4 (2008).